



PCT

特許協力条約に基づいて公開された国際出願

(51) 国際特許分類 G02F 1/133, G09G 3/36		A1	(11) 国際公開番号 WO99/42894
			(43) 国際公開日 1999年8月26日(26.08.99)
<p>(21) 国際出願番号 PCT/JP99/00806</p> <p>(22) 国際出願日 1999年2月22日(22.02.99)</p> <p>(30) 優先権データ 特願平10/40801 1998年2月23日(23.02.98) JP</p> <p>(71) 出願人 (米国を除くすべての指定国について) セイコーエプソン株式会社 (SEIKO EPSON CORPORATION)[JP/JP] 〒163-0811 東京都新宿区西新宿2丁目4番1号 Tokyo, (JP)</p> <p>(72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 伊藤昭彦(ITO, Akihiko)[JP/JP] 〒392-8502 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内 Nagano, (JP)</p> <p>(74) 代理人 弁理士 鈴木喜三郎, 外(SUZUKI, Kisaburo et al.) 〒392-8502 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社 知的財産部内 Nagano, (JP)</p>		<p>(81) 指定国 JP, KR, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE)</p> <p>添付公開書類 国際調査報告書</p>	
<p>(54) Title: METHOD OF DRIVING ELECTRO-OPTICAL DEVICE, CIRCUIT FOR DRIVING ELECTRO-OPTICAL DEVICE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC DEVICE</p> <p>(54) 発明の名称 電気光学装置の駆動方法、電気光学装置の駆動回路、電気光学装置及び電子機器</p> <p>(57) Abstract An electro-optical device comprising scanning electrodes and signal electrodes that are arranged crosswise. A liquid crystal display is driven by a MLS (Multi-Line Selection) method in which scanning electrodes are divided into groups each of which includes the scanning electrodes to be simultaneously selected and the individual groups are driven in sequence. The voltage applied to the scanning electrodes has the same amplitude as that of the voltage applied to the signal electrodes so that the circuit configuration of the driving circuit and power supply circuit can be simplified. This method of driving is applied to an electro-optical device having a multiple matrix structure.</p>			

(57)要約

本発明は、複数の走査電極と複数の信号電極が互いに交差配置されてなる電気光学装置において、走査電極を同時に選択する複数の走査電極毎にグループ分けし、グループ単位で順次選択するMLS (Multi-Line Selection) 法を用いた液晶表示装置の駆動方法であって、走査電極に印加する電圧振幅と信号電極に印加する電圧振幅を同一とするようにして、駆動回路や電源回路等の回路構成を簡単とした。また、そのような駆動方法を、多重マトリクス構造の電気光学装置において用いた。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE アラブ首長国連邦	ES スペイン	LI リヒテンシュタイン	SG シンガポール
AL アルバニア	FI フィンランド	LK スリ・ランカ	SI スロヴェニア
AM アルメニア	FR フランス	LR リベリア	SK スロヴァキア
AT オーストリア	GA ガボン	LS レント	SL シエラ・レオネ
AU オーストラリア	GB 英国	LT リトアニア	SN セネガル
AZ アゼルバイジャン	GD グレナダ	LU ルクセンブルグ	SZ スワジランド
BA ボスニア・ヘルツェゴビナ	GE グルジア	LV ラトヴィア	TD チャード
BB バルバドス	GH ガーナ	MC モナコ	TG トーゴー
BE ベルギー	GM ガンビア	MD モルドavia	TJ タジキスタン
BF ブルギナ・ファソ	GN ギニア	MG マダガスカル	TM トルクメニスタン
BG ブルガリア	GW ギニア・ビサオ	MK マケドニア旧ユーゴスラヴィア	TR トルコ
BJ ベナン	GR ギリシャ	共和国	TT トリニダード・トバゴ
BR ブラジル	HR クロアチア	ML マリ	UA ウクライナ
BY ベラルーシ	HU ハンガリー	MN モンゴル	UG ウガンダ
CA カナダ	ID インドネシア	MR モーリタニア	US 米国
CF 中央アフリカ	IE アイルランド	MW マラウイ	UZ ウズベキスタン
CG コンゴー	IL イスラエル	MX メキシコ	VN ヴィエトナム
CH スイス	IN インド	NE ニジェール	YU ヨーロッパ
CI コートジボアール	IS アイスランド	NL オランダ	ZA 南アフリカ共和国
CM カメルーン	IT イタリア	NO ノーベルウエー	ZW ジンバブエ
CN 中国	JP 日本	NZ ニュー・ジーランド	
CU キューバ	KE ケニア	PL ポーランド	
CY キプロス	KG キルギスタン	PT ポルトガル	
CZ チェコ	KP 北朝鮮	RO ルーマニア	
DE ドイツ	KR 韓国	RU ロシア	
DK デンマーク	KZ カザフスタン	SD スーダン	
EE エストニア	LC セントルシア	SE スウェーデン	

明細書

電気光学装置の駆動方法、電気光学装置の駆動回路、
電気光学装置及び電子機器

5 [技術分野]

本発明は液晶表示装置等の電気光学装置の駆動方法、電気光学装置の駆動回路
電気光学装置及び電子機器に関する。

[背景技術]

(第1の背景技術)

10 第1の背景技術として、国際公開された国際出願 WO 93/18501号公報に示された液晶表示装置の駆動方法(Multi-Line Selection法)がある。この液晶表示装置の駆動方法は、走査電極と信号電極がマトリクス状に交差してマトリクス状の画素を構成する液晶表示パネルにおいて、複数本の走査電極を組にして同時に選択し、その組毎に順次選択していくものである。この駆動方法において、走査電極を4ライン(4本の走査電極)ずつ同時に選択する駆動方法の一例の波形を図6に示す。図6において、Y1～Y8は走査電極に印加する走査電圧波形、X1は信号電極に印加する信号電圧波形を示す。走査電極には、1フレーム(F)を構成する4フィールド1f～4fの各フィールドにおける選択期間(H)において、選択電圧V3又は-V3が印加される。

20 このような駆動方法の場合、比較的走査電極数が多い時は駆動電圧が高くなつても、図4の液晶の実効電圧-輝度特性に示す液晶2のように、(飽和電圧/しきい値電圧) = (Vs2/Vt2) が小さい特性の液晶を使い、走査電極数が少ない場合(32本以下くらい)は液晶1のように、しきい電圧は低いが(飽和電圧/しきい値電圧) = (Vs1/Vt1) が大きい特性の液晶を使って駆動電圧を低くしていた。

25 図6に示す従来の駆動方法で、液晶2のような特性の液晶を使い、液晶に印加する実効電圧のオンとオフの比が最大になる電圧で駆動することを考える。例えば、しきい電圧Vt2が2.2ボルトの液晶2を用いて走査電極が64ライン数

の液晶パネルを駆動する場合には、V3は約6.7ボルト、V2は約3.35ボルトに設定されることになる。また、駆動する走査電極のライン数を120本になると、V3は約8.9ボルト、V2は約3.26ボルトに設定することとなり、駆動電圧のレベル数は7レベル必要で、走査電極側駆動回路から出力する選択電圧も高く、走査電極側駆動回路から出力する選択電圧と信号電極側駆動回路から出力する信号電圧の差も大きい。

このため、従来の駆動方法では、電源回路が複雑で、消費電力が大きい、走査電極側駆動回路と信号電極側駆動回路を1つのICの中に作り込むのが難しい等の課題がある。図14を用いて、従来の電源回路について説明する。

この電源回路の入力電源電圧は、Vcc、GNDのみであり単一電源入力となっている。またラッチパルスLPが入力される。クロック形成回路21は、ラッチパルスLPに基づき、チャージ・ポンプ回路に必要な、タイミングの異なるいくつかのクロック信号を形成するものであり、VccおよびGNDを電源としてVeeをチャージ・ポンプ動作により発生する。Vccが3.3VのときVeeは-16.5Vになる。コントラスト調整回路23は、最適コントラストとなる選択電圧-V3をVeeに基づき発生する。この選択電圧-V3は走査電極の負側選択電圧となる。2倍昇圧回路24は、選択電圧-V3を基準にGNDを2倍昇圧した正側の選択電圧V3をチャージ・ポンプ動作により発生する。

負方向2倍昇圧回路25は、Vccを基準にGNDを負方向へ2倍昇圧した電圧である-V2をチャージ・ポンプ動作により発生する。1/2降圧回路26、27は、Vcc-GND間を2等分した電圧であるV1、GND-(-V3)間を2等分して電圧である-V1をチャージ・ポンプ動作により発生する。中央電位VCにはGNDをそのまま用いる。またGNDに対して-V2と対称な電位であるV2には、Vccをそのまま用いる。以上で液晶パネルを駆動する電圧は形成できる。この電源回路では、出力されるV3、V2、V1、VC、-V1、-V2、-V3は、GNDに対して対称となる。なお、回路28は、-V3よりVccだけ高い電圧を形成し、これを走査電極側駆動回路のロジック電圧VDDyと

して供給するものである。

従来ではこのような電源回路を用いることにより、液晶表示装置の駆動電圧 7 レベルが生成されるが、電源回路は非常に複雑な回路構成となっていた。

また、図 4 に示す液晶 1 のような特性の液晶を使い駆動電圧を下げ、消費電力を低減するために液晶のしきい電圧を下げることで対応する方法も実施されているが、液晶のしきい電圧を下げた低電圧駆動の液晶表示装置は、液晶に印加する実効電圧の（オン電圧／オフ電圧）の値が大きく、走査電極のライン数を多くする事が難しい。そして、むりやり走査電極のライン数を多くするとコントラストが悪くなり、表示ムラも目立つようになるために、実用上、走査電極のライン数は 16 ~ 32 本程度までしか駆動する事ができない。

なお、従来の電圧平均化法では、1 フレーム期間に 1 回、1 走査電極を選択していたが、複数ライン同時選択による駆動方法では、走査選択方法の正規直交性を保ちながら選択期間を時間的に 1 フレーム内に均等分散し、これと同時に、走査電極を特定本数の組（ブロック）にして選択し、空間的に分散している。ここで、「正規」とは、すべての走査電圧がフレーム期間単位で同一の実効電圧値（振幅値）を持つこと意味する。また、「直交」とは、ある走査電極に与えられる電圧振幅が他の任意の走査電極に与えられる電圧振幅を 1 選択期間毎に積和したときフレーム期間単位では 0 になることを意味する。この正規直交性は、単純マトリクス型液晶表示装置においては各画素を独立してオン・オフ制御するための大前提である。

（第 2 の背景技術）

第 2 の背景技術として、液晶装置等の電気光学装置には、走査電極（若しくは共通電極又は走査線とも言う）が配列された側の基板又は信号電極（若しくはセグメント電極又はデータ線とも言う）が配列された側の基板に、これらの走査電極及び信号電極を駆動するため 1 チップ構造の駆動回路が取り付けられる形式のものがある。この場合、全ての走査電極及び信号電極を 1 チップ構造の駆動回路の出力端子に接続する必要があるため、駆動回路が取り付けられる側の基板上に、一端が駆動回路の出力端子に接続された引き回し配線が画像表示領域の周囲に

位置する額縁領域に多数引き回されることになる。更に、他方の基板に配線された走査電極又は信号電極と一部の引き回し配線の他端（上下導通端子）とは、上下導通材を介して相互に電気的接続される。このように駆動回路として1チップ構造の駆動回路を用いると、全体としてコンパクト化及び低コスト化が図られた
5 電気光学装置を構築でき、例えば携帯電話等の小型の液晶装置等に好適に用いることが可能となる。

他方、この種の液晶装置等の電気光学装置には、例えば特開昭60-6837
1号公報に開示されているように、一方の基板上に多重マトリクス構造の信号電
極が配線され、他方の基板上にストライプ状の走査電極が配線される形式のもの
10 がある。この場合、n（但し、nは2以上の自然数）重マトリクス構造を有する
信号電極を用いれば、通常のマトリクス方式の場合と比較して、各画素に選択電
圧が印加される時間をn倍にでき、画面の明るさ及びコントラスト比を高くでき
るとしている。更に、例えば特開昭58-143373号公報に開示されてい
るよう、データ線ではなく、走査線を多重マトリクス構造にした液晶表示装置
15 もある。

一般にこの種の電気光学装置においては、装置全体の大きさに対して画面を大
きくすることが望ましく、このためには、基板上において実際に画面が表示され
る画像表示領域を、その周囲に位置すると共に画像が表示されない額縁領域に対
して相対的に大きくすることが望ましい。

20 しかしながら、上述した1チップ構造の駆動回路を用いると、一端が当該1チ
ップ構造の駆動回路に接続された多数の引き回し配線を額縁領域における基板上
に配線する必要があるため、額縁領域の面積が大きくならざるを得ない。これに
対処するためには、引き回し配線の微細化を行うことが必要であるが、このよう
な微細化を行うことは配線抵抗の増加を招き、画像信号が劣化してしまうと共に
25 駆動回路の電圧供給性能を高める必要性も生じてくるという問題点がある。

特に一対の基板の一方に走査電極が配線され他方に信号電極が配線される場合
に1チップ構造の駆動回路を用いると、駆動回路の無い方の基板上の走査電極又
は信号電極を上下導通材を介して駆動回路の在る方の基板上の引き回し配線に接

統する必要がある。従って、貼り合せ時の基板ずれ等を考慮して額縁領域内に一定面積が必用な上下導通端子を設ける必要があるため、額縁領域を小さくするの は一層困難となる。

更にまた、表示画像の高品位化という基本的要請の下で、画素ピッチの微細化
5 (即ち、走査電極ピッチ及び信号電極ピッチの微細化) が進められると、引き回し配線の数も増加することになり、引き回し配線を配線する額縁領域を小さくすることはより一層困難となり、また配線抵抗や駆動回路の電圧供給能力の問題もより深刻化する。

他方、前述した多重マトリクス方式の電気光学装置は、多重マトリクス構造を持つ配線 (走査電極又は信号電極) の画像表示領域内における配線構造が基本的に複雑であるため、画素ピッチを微細化する程に製造が極めて困難となると予想されることや微細化する程に画素の開口領域 (即ち、実際に光が透過して表示に寄与する領域) が画素間の配線により顕著に狭められることなどの理由から、上述の如き走査電極ピッチや信号電極ピッチの微細化 (即ち、画素ピッチの微細化
10) には全く馴染まないと考えられている。

本発明は以上のような課題を解決するものであり、その目的とするところは、駆動電圧レベル数を削減させつつ低消費電力化が図れる、高品位の画像表示が可能な、電気光学装置の駆動方法、電気光学装置の駆動回路、電気光学装置、及び電子機器を提供することにある。さらに、他の目的として、電気光学装置における額縁領域を画像表示領域に対して相対的に小さくしつつ比較的容易に画素ピッチの微細化を図ることが可能とした装置構成を提供することにある。
15

[発明の開示]

上記した背景技術における課題を解決するために、本発明に係る電気光学装置の駆動方法は、複数の走査電極と複数の信号電極が互いに交差配置されてなり、該走査電極を同時に選択する複数の走査電極毎にグループ分けし、グループ単位で順次選択する電気光学装置の駆動方法において、前記走査電極に印加する電圧振幅と前記信号電極に印加する電圧振幅を同一とすることを特徴とする。
20

上記構成によれば、駆動電圧を低く抑え、しかも、駆動電圧レベル数を減らす

事ができるため、駆動電圧を生成する電源回路、駆動回路、液晶パネル等のトータルでの消費電力を低減する事ができ、電源回路や駆動回路の簡略化もできる。また、走査電極側駆動回路の耐圧を低くすることができ低コスト化も実現できる。また、電源回路、制御回路、信号電極側駆動回路、走査電極側駆動回路等を1
5 チップにまとめる事も可能になり、省スペース化も可能になる。

さらに、上記電気光学装置の駆動方法において、前記走査電極に印加する走査電圧は、非選択電圧と、前記非選択電圧を基準として正側に位置する第1選択電圧と負側に位置する第2選択電圧とからなり、前記信号電極に印加する最大及び最小の信号電圧を前記選択電圧と共に通にすることが好ましい。それにより、駆動電圧の最高及び最低の電圧を、走査電極側駆動回路と信号電極側駆動回路とで共通化し、駆動電圧レベル数を低減することができる。また、それぞれの駆動回路が出力する電圧振幅を同じにすることで、駆動回路の耐圧を同じにでき、それにより駆動回路の1チップ化を可能とすることができます。

さらに、上記電気光学装置の駆動方法において、前記電気光学装置は液晶表示装置であって、(液晶に印加する実効電圧のオン電圧／オフ電圧) \geq (液晶の飽和電圧／しきい電圧)となるような特性の液晶を、前記液晶表示装置の液晶として用いることが好ましい。それにより、駆動電圧を低く抑えて、コントラストを向上する事ができる。

さらに、上記電気光学装置の駆動方法において、前記走査電圧と前記信号電圧を生成する電源回路は、前記非選択電圧と前記第2選択電圧を昇圧して前記第1選択電圧を生成する昇圧回路と、前記第2選択電圧と前記非選択電圧の中間に位置する前記信号電圧を生成する第1降圧回路と、前記非選択電圧と前記第2選択電圧の中間に位置する前記信号電圧を生成する第2降圧回路とを有することが好ましい。このように、従来の電源回路に比べて、回路構成が簡略化されることになり、駆動回路との1チップIC化も可能とすることができます。

さらに、上記電気光学装置の駆動方法において、前記走査電極に選択電圧を印加する走査電極側駆動回路と、前記信号電極に信号電圧を印加する信号電極側駆動回路とを1チップの駆動回路IC内に集積化することが好ましい。それにより

、走査電極側と信号電極側の駆動回路を1チップICとして装置全体の構成を小さくすることができる。

さらに、上記電気光学装置の駆動方法において、前記走査電極に選択電圧を印加する走査電極側駆動回路と、前記信号電極に信号電圧を印加する信号電極側駆動回路と、前記選択電圧及び前記信号電圧を生成する電源回路のうち、少なくとも2つを1チップの駆動回路IC内に集積化することが好ましい。それにより、ICの部品点数が少なくなり、装置全体の構成を小さくすることができる。

さらに、上記電気光学装置の駆動方法において、前記各走査電極を選択する選択電圧を1フレーム期間内に分散して印加することが好ましい。それにより、フレーム期間内にて選択期間が分散されるので、コントラストを向上することができ、静止画表示の場合の画質を向上することができる。

さらに、上記電気光学装置の駆動方法において、前記各走査電極を選択する選択電圧を1フレーム期間中の所定期間に連続して印加することが好ましい。それにより、信号電極に印加する信号電圧の基になる表示データを、メモリから読み出す場合に、所定期間内は表示データは同一となるため、その表示データを所定期間に保持すれば良くなるので、表示データの読み出し回数が減り、それに伴う消費電力を抑えることができる。

さらに、上記電気光学装置の駆動方法において、同時に選択しようとする前記走査電極の数に仮想の走査電極を含み、同時選択しようとする前記走査電極の数から前記仮想の走査電極の数を引いた数の走査電極を同時選択することが好ましい。それにより、同時選択しようとする走査電極数を例えば8本とし、仮想走査電極を1本として7本の走査電極を同時選択すると、本来なら駆動電圧レベル数が11レベルなのを、5レベルに削減することができる。

さらに、上記電気光学装置の駆動方法において、同時に選択する前記走査電極の数が4本ずつであることが好ましい。この場合、本発明によれば、駆動電圧レベル数を5レベルに抑えることができる。また、同時に選択する前記走査電極の数が7本ずつであることが好ましい。この場合、駆動電圧レベル数を5レベルに抑えることができる。

さらに、上記電気光学装置の駆動方法において、前記走査電極と前記信号電極は、多重マトリクス構成を成すように交差配置されることが好ましい。これにより、走査電極又は信号電極の本数を減らして、駆動回路の回路構成を簡単にすることができる。

5 さらに、上記電気光学装置の駆動方法において、前記走査電極が形成された基板と前記信号電極が形成された基板とを対向配置し、前記走査電極に選択電圧を印加する走査電極側駆動回路及び前記信号電極に信号電圧を印加する信号電極側駆動回路を集積した1チップの駆動回路ICを前記2つの基板の一方の基板上に搭載し、当該一方の基板と他方の基板とを上下導通材により接続してなることが好ましい。それにより、電気光学装置の額縁を小さくすることができる。

10 また、本発明に係る電気光学装置は、複数の走査電極と複数の信号電極が互いに交差配置されてなり、該走査電極を同時に選択する複数の走査電極毎にグループ分けし、グループ単位で順次選択する電気光学装置において、前記走査電極に走査電圧を印加する走査電極側駆動回路と、前記信号電極に信号電圧を印加する信号電極側駆動回路とを備え、前記走査電圧の電圧振幅と前記信号電圧の電圧振幅を同一とすることを特徴とする。

15 上記構成の本発明によれば、駆動電圧を低く抑え、しかも、駆動電圧レベル数を減らす事ができるため、駆動電圧を生成する電源回路、駆動回路、液晶パネル等のトータルでの消費電力を低減する事ができ、電源回路や駆動回路の簡略化も実現できる。また、走査電極側駆動回路の耐圧を低くすることができ低コスト化も実現できる。また、電源回路、制御回路、信号電極側駆動回路、走査電極側駆動回路等を1チップにまとめる事も可能になり、省スペース化も可能になる。

20 さらに、上記電気光学装置において、前記走査電極に印加する走査電圧は、非選択電圧と、前記非選択電圧を基準として正側に位置する第1選択電圧と負側に位置する第2選択電圧とからなり、前記信号電極に印加する最高及び最低の信号電圧を前記選択電圧と共にすることが好ましい。それにより、駆動電圧の最高及び最低の電圧を、走査電極側駆動回路と信号電極側駆動回路とで共通化し、駆動電圧レベル数を低減することができる。また、それぞれの駆動回路が output する

電圧振幅を同じにすることで、駆動回路の耐圧を同じにでき、それにより駆動回路の1チップ化を可能とすることができます。

さらに、上記電気光学装置において、前記電気光学装置は液晶表示装置であつて、(液晶に印加する実効電圧のオン電圧／オフ電圧) \geq (液晶の飽和電圧／しきい電圧)となるような特性の液晶を、前記液晶表示学装置の液晶として用いることが好ましい。それにより、駆動電圧を低く抑えて、コントラストを向上することができる。

さらに、上記電気光学装置において、前記走査電圧と前記信号電圧を生成する電源回路は、前記非選択電圧と前記第2選択電圧を昇圧して前記第1選択電圧を生成する昇圧回路と、前記第2選択電圧と前記非選択電圧の中間に位置する前記信号電圧を生成する第1降圧回路と、前記非選択電圧と前記第2選択電圧の中間に位置する前記信号電圧を生成する第2降圧回路とを有することが好ましい。それにより、従来の電源回路に比べて、回路構成が簡略化されることになり、駆動回路との1チップIC化も可能とすることができます。

さらに、上記電気光学装置において、前記走査電極に選択電圧を印加する走査電極側駆動回路と、前記信号電極に信号電圧を印加する信号電極側駆動回路と、前記選択電圧及び前記信号電圧を生成する電源回路のうち、少なくとも2つを1チップの駆動回路IC内に集積化することが好ましい。それにより、ICの部品点数が少なくなり、装置全体の構成を小さくすることができます。

さらに、上記電気光学装置において、前記走査電極と前記信号電極は、多重マトリクス構成を成すように交差配置されすることが好ましい。これにより、走査電極又は信号電極の本数を減らして、駆動回路の回路構成を簡単にすることができます。

さらに、上記電気光学装置において、前記走査電極が形成された基板と前記信号電極が形成された基板とを対向配置し、前記走査電極に選択電圧を印加する走査電極側駆動回路及び前記信号電極に信号電圧を印加する信号電極側駆動回路を集積した1チップの駆動回路ICを前記2つの基板の一方の基板上に搭載し、当該一方の基板と他方の基板とを上下導通材により接続してなることが好ましい。

それにより、電気光学装置の額縁を小さくすることができる。

また、本発明の電気光学装置の駆動回路は、複数の走査電極と複数の信号電極が互いに交差配置されてなり、該走査電極を同時に選択する複数の走査電極毎にグループ分けし、グループ単位で順次選択する電気光学装置の駆動回路において

5 前記走査電極に走査電圧を印加する走査電極側駆動回路と、前記信号電極に信号電圧を印加する信号電極側駆動回路とを備え、前記走査電圧の電圧振幅と前記信号電圧の電圧振幅を同一とし、前記走査電極側駆動回路及び前記信号電極側駆動回路とを1チップICに集積化して構成することを特徴とする。

上記構成の本発明によれば、駆動電圧を低く抑え、しかも、駆動電圧レベル数を減らす事ができるため、駆動電圧を生成する電源回路、駆動回路、液晶パネル等のトータルでの消費電力を低減する事ができ、電源回路や駆動回路の簡略化もできる。また、走査電極側駆動回路の耐圧を低くすることができ低コスト化も実現できる。また、信号電極側駆動回路、走査電極側駆動回路等を1チップにまとめる事も可能になり、省スペース化も可能になる。

15 また、本発明に係る電気光学装置は、一対の第1及び第2基板と、画像表示領域における前記第1基板上に設けられ、複数の画素電極部を有する複数の信号電極手段と、前記画像表示領域における前記第2基板上に設けられ、前記信号電極手段の延設方向に隣接する複数個の前記画素電極部と各々交差するように配置された複数の走査電極手段と、前記第1または第2基板の一方の、前記画像表示領域の周囲にある額縁領域内に位置する所定個所に接続され、前記信号電極手段及び前記走査電極手段を駆動するための1チップ構造の駆動回路と、前記額縁領域における前記第1または第2基板の一方の基板上に配線され、前記複数の信号電極手段の一端各々と前記駆動回路とを接続する複数の第1引き回し配線と、前記額縁領域における前記第1及び第2基板間に設けられ、前記複数の走査電極手段の前記額縁領域内に延設された端部に各々接続された複数の上下導通手段と、前記額縁領域における前記第1または第2基板の一方の基板上に配線され、前記複数の上下導通手段と前記駆動回路とを接続する複数の第2引き回し配線とを備えたことを特徴とする。

上記構成の本発明によれば、画像表示領域においては、複数の電極が多重マトリクス状に設けられている。また、1チップ構造の駆動回路は、額縁領域内に位置し且つ信号電極手段の一端側に位置する所定個所における基板上に取り付けられている。ここで、額縁領域においては、所定個所に近い側にある複数の信号電極手段の一端各々と駆動回路とが第1引き回し配線により接続されるので、当該第1引き回し配線については、画像表示領域の周囲を殆ど引き回す必要はない。即ち、第1引き回し配線の配線長は、基本的に短くて済む。他方、電極の多重マトリクス構造がn（但し、nは2以上の自然数）重マトリクス構造の場合には、各走査電極手段の幅が、n本の相隣接する信号電極手段からなる画素配列に対応するようにn画素分になる点、及び走査電極手段の総数が、多重マトリクス構造を持たない場合（言わば、1重マトリクス構造の場合）と比較して $1/n$ 程度になる点に着目し、走査電極手段の額縁領域内に延設された端部に接続された複数の上下導通手段各々と駆動回路とが、第2引き回し配線により接続されるよう構成する。これにより、第2引き回し配線の総数が、多重マトリクス構造を持たない場合と比較して $1/n$ 程度に減ぜられることにより、第2引き回し配線の額縁領域に占める領域を全体として $1/n$ 程度に小さくできる。即ち、1チップ構造の駆動回路を用いているにも拘わらず、第2引き回し配線が引き回される額縁領域の面積増加を極めて効率的に抑制できる。逆に、走査電極手段は各画素のn倍程度の幅を持つので微細化を余り必要とすることなく、多重マトリクス構造の信号電極手段と1チップ構造の駆動回路とを組み合わせることが可能となる。

以上の結果、本発明では、比較的配線長が短い第1引き回し配線と比較的総数が少ない第2引き回し配線により、額縁領域を画像表示領域に対して小さくすることが可能となる。これに加えて、第1及び第2基板の貼り合せ時の基板ずれ等を考慮して額縁領域内に一定面積が必要な上下導通手段についても、多重数nに応じて総数が $1/n$ 程度に減ぜられた走査電極手段毎に設ければ良いので、即ち、上下導通手段の総数についても $1/n$ 程度で済むので、額縁領域を小さくするのが一層容易となる。更に、比較的配線長が短い第1引き回し配線と比較的総数が少ない第2引き回し配線により、駆動回路から走査電極手段及び信号電極手段

に至るまでの配線全体における配線抵抗の増加を抑えることができ、配線抵抗の増加に起因する画像信号の劣化を未然防止でき、比較的電圧供給性能の低い或いは耐圧の低い駆動回路でも十分に高品位の画像表示が可能となり、駆動用の消費電力の低減にも繋がる。この際、画像信号の1フレーム中の選択時間を多重数nに応じてn倍にできるため、デューティー比を下げるこことによっても駆動電圧を下げるこができる、同時にコントラスト比や明るさも高くできるという多重マトリクス構造の本来の作用効果も害されることはない。

以上のように本発明により、額縁領域を画像表示領域に対して相対的に小さくしつつ比較的容易に画素ピッチの微細化を図ることが可能であり、しかも駆動回路の耐圧や電圧供給能力が低くても高品位の画像表示が可能となり、装置全体の低消費電力化も可能となる。

さらに、上記電気光学装置において、前記複数の走査電極手段は、前記画像表示領域の両側からその内部に向けて交互に櫛歯状に配線されていることが好ましい。それにより、画像表示領域の片側には、走査電極手段の総数の半分だけ上下導通手段を設ければよく、従って、額縁領域における第1基板上にも、画像表示領域の両側に位置する額縁領域部分に各々半分づつ第2引き回し配線を設ければよい。この結果、画像表示領域を囲む額縁領域にバランスよく第2引き回し配線を配線できるので、限られた額縁領域内に一定幅の配線からなる第2引き回し配線、及び一定面積を有する上下導通手段を空間効率良く配置することが可能となる。

さらに、上記電気光学装置において、前記画像表示領域は、前記走査電極手段に沿った方向よりも前記信号電極手段に沿った方向に長く、前記画像表示領域では、前記信号電極手段に沿った方向の画素数が前記走査電極手段に沿った方向の画素数よりも多いように前記信号電極手段及び前記走査電極手段が設けられていることが好ましい。それにより、画像表示領域の長手方向に多重マトリクス構造を持つ各信号電極手段が伸びているので、信号電極手段の駆動回路に近い側の一端に接続された第1引き回し配線の総数及び長さについては、その長手方向の長さによらずに各々一定にできる。また、走査電極手段の総数（即ち第2引き回し

配線の総数)についても、長手方向の画素数が n 個増加する毎に 1 本の走査電極手段(即ち 1 本の第 2 引き回し配線)を設ければ足り、第 2 引き回し配線の長さについても画像表示領域の長手方向の長さに応じた分だけ伸ばせば足りる。従つて、本発明の上述の作用効果は、画像表示領域が長手方向に長くなる程により顕著に発揮される。

さらに、上記電気光学装置において、前記上下導通手段は、前記第 1 及び第 2 基板間に配置された上下導通材と、前記第 1 または第 2 基板の一方の基板上に設けられ、前記上下導通材と接触すると共に前記第 2 引き回し配線の一端に接続された上下導通端子とを含むことが好ましい。それにより、走査電極手段は、第 1 及び第 2 基板間に配置された上下導通材に接続され、上下導通材は、第 1 基板に設けられており第 2 引き回し配線の一端に接続された上下導通端子に接続されているので、駆動回路により、第 2 引き回し配線、上下導通端子及び上下導通材を介して走査電極手段を駆動すること、即ち駆動電圧を供給することが可能となる。この際特に、第 1 及び第 2 基板の貼り合せ時の基板ずれ等を考慮して額縁領域内に一定面積が必要な上下導通端子の総数は $1/n$ で済むので、当該上下導通端子が配置される額縁領域を小さくするのが非常に容易となる。

さらに、上記電気光学装置において、前記信号電極手段は、前記画素電極部と、前記画素電極部に接続する信号配線部と、前記画素電極部と前記信号電極部との間に接続される二端子型非線形素子とを含むことが好ましい。それにより、例えば、T F D (Thin Film Diode : 薄膜ダイオード) 素子等の 2 端子型非線形素子を介して各画素電極部分をスイッチング駆動することが可能となり、特にコントラスト比が高く高品位の画像表示が可能なアクティブマトリクス駆動が可能となる。

さらに、上記電気光学装置において、前記駆動回路は、前記第 1 基板上に搭載されていることが好ましい。それにより、第 1 基板に駆動回路が、例えば C O G (Chip On Glass : チップオングラス) 実装により搭載された、全体にコンパクトで小型軽量化及び低消費電力化に優れた電気光学装置を実現できる。

さらに、上記電気光学装置において、前記第 1 または第 2 基板の一方の基板上

の前記所定個所には前記第1及び第2引き回し配線に接続された入力端子が設けられ、前記駆動回路は前記入力端子に所定の接続手段を介して接続されていることが好ましい。それにより、第1基板に駆動回路が、所定の接続手段として例えばTAB (Tape Automated Bonding) 基板や専用コネクタ又はACF (Anisotropic Conductive Film: 異方性導電膜)などを用いて取り付けられる、設計自由度が高く低コスト化に有利な電気光学装置を実現できる。

さらに、上記電気光学装置において、前記信号電極手段と前記走査電極手段とを入れ替えた構成を有することが好ましい。それにより、駆動回路が取り付けられるのと同じ第1基板上に走査電極手段を多重マトリクス状に設けることにより、第2基板上に設けられた信号電極手段に接続される上下導通手段及び第2引き回し配線の数を相対的に少なくでき、よって額縁領域を画像表示領域に対して相対的に小さくしつつ比較的容易に画素ピッチの微細化を図ることが可能となり、しかも駆動回路の耐圧や電圧供給能力が低くても高品位の画像表示が可能となり、装置全体の低消費電力化も可能となる。加えて、信号電極手段側を駆動する能力（即ち、画像信号電圧を供給する能力）が低い駆動回路を用いて比較的高品位の画像表示を行うことも可能である。

また、本発明に係る電子機器は、上記した本発明の電気光学装置を表示装置として用いたことを特徴とする。それにより、額縁が小さい表示装置を得ることができる。

20 [図面の簡単な説明]

図1は、本発明に係る液晶表示装置の実施形態1を示す駆動方法の一例を示す駆動波形図。

図2は、本発明に係る液晶表示装置の実施形態2を示す駆動方法の一例を示す駆動波形図。

25 図3は、本発明に係る駆動回路の一例を示すブロック図。

図4は、液晶に印加する実効電圧と輝度の光学特性の一例を示す図。

図5は、液晶表示装置の一例を示すブロック図。

図6は、従来の液晶表示装置の駆動方法を示す駆動波形図。

図7は、本発明に係る駆動方法の実施形態3を示す駆動波形図。

図8は、本発明に係る駆動方法の実施形態3で採用する電圧レベルを示す説明図。

図9Aは、本発明に係る液晶表示装置の走査電極側駆動回路（Yドライバ）の
5 ブロック図、図9Bは、複数の走査電極側駆動回路（Yドライバ）をカスケード接続した結線図。

図10は、走査電極側駆動回路における電圧セレクタのブロック図。

図11は、本発明に係る液晶表示装置の信号電極側駆動回路（Xドライバ）の
ブロック図。

10 図12は、本発明に係る信号電極側駆動回路（Xドライバ）における不一致数判定回路図。

図13は、本発明に係る信号電極側駆動回路（Xドライバ）における電圧セレクタのブロック図。

図14は、従来の液晶表示装置の駆動に用いる電源回路のブロック図。

15 図15は、本発明に係る電源回路のチャージ・ポンプ動作を説明する回路図。

図16は、本発明に係る電源回路を示すブロック図。

図17は、本発明に係る電源回路の変形例を示すブロック図。

図18は、実施形態3の駆動方法の変形例を示す駆動波形図。

図19は、本発明の実施形態4である液晶表示装置に駆動ICを実装した構造
20 を示す斜視図。

図20は、本発明の実施形態5である電子機器を示す図。

図21は、本発明の実施形態6を示す液晶装置の外観斜視図。

図22は、実施形態6を構成する第1基板の平面図。

図23は、実施形態6を構成する第2基板の平面図。

25 図24は、実施形態6を構成する信号電極および走査電極の具体例を示す拡大平面図。

図25は、本発明の実施形態7を示す液晶装置の外観斜視図。

図26は、本発明の実施形態8を示す液晶装置の外観斜視図。

[発明を実施するための最良の形態]

以下、本発明の実施形態を図面に基づいて説明する。

(実施形態 1)

図 5 は本実施形態による電気光学装置の一例としての液晶表示装置のブロック図を示すものである。本実施形態の液晶表示装置は、走査電極 5 4 (Y 1 ~ Y n) を内面に形成した第 1 基板と信号電極 5 3 (X 1 ~ X n) を内面に形成した第 2 基板とを対向させ、この一対の基板間に液晶分子が 180° 以上のねじれ配向を有する STN (スーパーツイステッドネマチック) 型液晶を挟持した液晶表示装置である。この液晶表示装置は一対の基板の外側に各々偏光板を配置し、少なくとも一方の偏光板と基板との間には位相差板が配置される。なお、本実施形態では、視認側と反対側の偏光板の外側に反射板が配置され、液晶に電圧を印加すると黒表示になる反射型液晶表示装置を例にして説明する。また、図 5 における走査線ドライバ 5 2 (走査電極側駆動回路や Y ドライバともいう) は走査電極 5 4 に後述する走査電圧波形を印加し、信号線ドライバ 5 1 (信号電極側駆動回路や X ドライバともいう) は信号電極 5 3 に下記に説明する信号電圧波形を印加するものであり、走査電極 5 4 と信号電極 5 3 の交点に配置される画素がマトリクス状に形成され、走査電圧波形と信号電圧波形の差電圧により画素位置の液晶に実効電圧が印加され、その実効電圧値が液晶のしきい値を超えて電圧印加されると、オン表示 (黒表示)、しきい値以下の実効電圧が印加されるとオフ表示 (白表示、但し液晶パネルがカラー表示装置の場合はその画素に対応した色表示) となる。なお、透過型表示装置として液晶表示装置を構成し、液晶のしきい値を超えた実効電圧印加でオフ表示、しきい値より低い実効電圧印加でオフ表示しても構わない。

図 1 は図 5 に示した液晶表示装置の駆動波形を示す図である。図 1 に示す駆動方法は、4 本の走査電極 (4 ライン) ずつを同時に選択し、4 ライン単位で順次選択する駆動方法 (Multi-Line Selection 法) であり、同時に選択する走査電極には、正規直交行列に基づき、ある期間で互いに直交するような信号極性の選択電圧が同時に与えられる (例えば、同時選択される 4 ラインのうちの 1 ラインの

選択電圧の信号極性が他と逆となり、各ラインは1フレーム期間で4回選択され、そのうち他と逆信号極性の選択電圧が1回印加される）。この駆動方法においては、1ラインを選択する選択期間（H）は1フレーム期間（1F）内に周期的に到来するように分散されており、1フレームを構成する1f～4fの4フィールドの各々において、各ラインが一回選択される。Y1～Y8が走査電圧波形で、これが、図5の液晶表示装置のブロック図に示すY1～Y8の各走査電極に印加される。そして、X1が信号電圧波形で、図5のX1の信号電極上に示す表示をした場合の信号電極に印加される信号電圧波形を示している。

従来の駆動方法と異なる点は、本発明の駆動方法においては、図1に示すように、走査電圧波形の選択電圧と信号電圧波形の電圧振幅を同じにするところにある。具体的には、Vcを基準（例えば0V）として、走査電圧波形の正極性側の選択電圧V2と信号電圧波形の正極性側の電圧V2が同じ電圧レベルで、走査電圧波形の負極性側の選択電圧-V2と信号電圧波形の負極性側の電圧-V2が同じ電圧レベルにする。こうすることで、駆動電圧のレベル数を図6に示した7電圧レベルから5電圧レベルに削減する。

次に、使用する液晶の特性について説明する。図4は、液晶に印加する実効電圧と輝度の光学特性を示す図であり、Vt1とVt2の電圧（しきい電圧）は、液晶に印加された実効電圧に応じて、液晶表示装置の画素が明るい状態から暗くなり始める状態に変化する電圧を示し、Vs1とVs2（飽和電圧）は液晶に印加された実効電圧に応じて、液晶表示装置の画素が次第に暗くなって行き、暗くなつた状態の電圧を示す。そして、液晶1はしきい電圧の低いもので、液晶2はしきい電圧が高いものである。

このような特性の液晶の中で本発明では液晶2を使う。この液晶は、比較的Vt2の電圧は高いが（Vs2/Vt2）が比較的小さく、走査電極の数が増えてもコントラストを確保したまま駆動できるものである。液晶2は、Vt2が約2.2ボルト、Vs2が約2.31で、（Vs2/Vt2）=1.05である。

そして、本実施形態においては、上記した本発明の駆動方法と液晶2のような特性の液晶を組み合わせる事で、駆動電圧を低く抑えて、コントラストの高い液

晶表示装置を実現することができた。以下に、より具体的に説明する。

例えば、走査電極の数を 64 本とした場合で説明すると、上記の本発明の駆動方法を用いた場合に液晶に印加する電圧は、 $V_c = 0$ とすると、 V_2 は約 4.1 ボルト、 V_1 は約 2.05 ボルトになる。この時の液晶に印加される実効電圧の (オン電圧／オフ電圧) は約 1.105 になり、 $(V_{s2}/V_{t2}) = 1.05 < 1.105$ を満足しているので十分なコントラストが確保できる。

また、走査電極の数を 120 本とした場合で説明すると、上記の本発明の駆動方法を用いた場合に液晶に印加する電圧は、 $V_c = 0$ とすると、 V_2 は約 4.4 ボルト、 V_1 は約 2.2 ボルトになる。この時の液晶に印加される実効電圧の (オン電圧／オフ電圧) は約 1.06 になり、 $(V_{s2}/V_{t2}) = 1.05 < 1.06$ を満足しているので十分なコントラストが確保できる。

(走査電極側駆動回路の構成例)

次に、図 9A を用いて、図 5 の走査線ドライバ 52 に相当する本実施形態の走査電極側駆動回路 (Y ドライバ) 220 について説明する。なお、本実施形態では走査電極の数を 120 本として説明する。走査電極側駆動回路 220 は、MPU 等からの表示データや制御信号を受け、液晶表示装置を駆動するのに必要なタイミング信号や表示データを生成する制御回路 (図示省略) からの信号によって同図に示すように、フレーム開始パルス YD やラッチパルス LP などを基にフィールド毎の走査電極の電圧選択の列パターンを作成するコード発生部 221 や、後述する種々の回路を有する半導体集積回路である。

本実施形態では、走査電極 $Y_1 \sim Y_n$ の印加電圧は、選択期間において V_2 または $-V_2$ 、非選択期間においては 0V であり、合計で 3 電圧レベルがあるので、電圧セレクタ 222 に対する選択制御情報は各走査電極 $Y_1 \sim Y_n$ 每 2 ビットが必要である。このため、複数ライン同時選択のためのコード発生部 221 は、フィールド計数カウンタ (図示省略する) と第 1 および第 2 シフトレジスタ 223、224 をフレーム開始パルス YD で初期化した後、第 1 フィールドに各走査電極に印加する選択電圧の電圧選択の列パターンを示す 2 ビットの電圧選択コード D0、D1 を直並列変換用の第 1 シフトレジスタ 223 および第 2 シフトレジ

タ 224 に転送する。第1シフトレジスタ 223 および第2シフトレジスタ 224 は、それぞれ走査電極の本数に対応した 120 ビットシフトレジスタであり、第1シフトレジスタ 223 は下位ビットの電圧選択コード D0 を、第2シフトレジスタ 224 は上位ビットの電圧選択コード D1 をそれぞれ同一のシフトクロック CK により格納する。シフトクロック CK は、コード発生部 221 のタイミング生成回路（図示省略する）により発生する。シフトレジスタは、シフトクロック CK に対して単一の 240 ビットのシフトレジスタがあるのではなく、シフトクロック CK に対して並列の 120 ビットのシフトレジスタ 223、224 が設けられているので、ラッチパルス LP により低い周波数で動作させることができ、極めて低消費電力が可能となっている。

第1シフトレジスタ 223 および第2シフトレジスタ 224 の各ビットの電圧選択コード D0、D1 は、シフトクロック CK の発生を契機に隣接ビットにシフトされ、選択時間 Δt だけ出力維持される。このシフトレジスタの出力はレベルシフタ 225 へ供給され、その低論理振幅レベルから高論理振幅レベルへ変換される。レベルシフタ 225 から出力される高論理振幅レベルの電圧選択コード D0、D1 は同時にレベル変換された液晶交流化信号 FR と共に、波形形成部としてのデコーダ 227 に供給され、選択制御信号が生成される。この選択制御信号で電圧セレクタ 222 が開閉制御されることにより各走査電極 Y1～Yn へ、上記図 1 に示した印加電圧 V2、Vc (0V)、-V2 のいずれかが供給される。

図 10 は、電圧セレクタ 222 のブロック図である。電圧セレクタ 222 は、後述する電源回路から供給される、電圧 V2 が供給されるアナログスイッチ 222A と、電圧 Vc が供給されるアナログスイッチ 222B と、電圧 -V2 が供給されるアナログスイッチ 222C と、から構成されている。これらアナログスイッチには、それぞれ選択制御信号 Q2、Q1、Q0 が入力されるようになっている。

本実施形態では、図 9B に示すように、複数の走査電極側駆動回路 (Y ドライバ 1～n) をカスケード接続できるようにコード発生部 221 の機能を初段 Y ドライバ 1 と次段以降の Y ドライバ 2～n とでセレクト端子 MS を使って変えるこ

とを前提としている。すなわち、初段Yドライバ1では、前述のフレーム開始パルスYDによる初期化後、前述の2つのシフタレジスタ223、224に向けて電圧選択コードを発生するタイミングに移るが、次段以降は、セレクト端子MSが低レベル入力になっているため、電圧選択コードを発生するタイミングには自動的に移らない。次段以降のYドライバ2～nは、初段のキャリー信号(FS)をFSI入力端子から入力して初めて電圧選択コードを前述の2つのレジスタ223、224に向けて発生する。そして、最終段のYドライバnからのキャリー信号(FS)が出力されたときが、第1フィールドが終了するときである。このときはコントローラからは第2フィールドの開始信号は来ないので、最終段のYドライバnのキャリー信号(FS)を初段のYドライバ1のFSI端子およびXドライバのFS端子に帰還し、第2フィールドの電圧選択コードを前述の2つのシフトレジスタ223、224に対して発生する。この後、前述した第1フィールドと同様に動作し、次に第2フィールド、第3フィールドと順次第4フィールドまでを終了し、次のフィールド(第1フィールド)の動作に移る。以上の機能は、コントローラに対する同時選択ライン数やYドライバの端子数の制約を緩和し、従来の電圧平均化法の場合と同じ周波数のフレーム開始パルスYD、ラッチパルスLPを使うことができる。

(信号電極側駆動回路の構成例)

次に、信号電極側駆動回路(Xドライバ)の構成を説明する。Xドライバは、図11に示すような構成の半導体集積回路であり、相互にチップイネーブル出力CEOとチップイネーブル入力CEIを介してカスケード接続することができる。Xドライバは、図11に示すように、アクティブ・ローの自動パワーセーブ回路としてのチップイネーブル・コントロール回路251と、主に制御回路(図示省略する)から供給される信号を基に所要のタイミング信号などを形成するタイミング回路253と、イネーブル信号Eの発生を契機に制御回路から転送される表示データDATA(1ビット、4ビット、または8ビット)をシフトクロックXSDLの立ち下る度に順次取り込み1走査ライン分の表示データDATAを格納する入力レジスタ255と、入力レジスタ255からの1走査ライン分の表示

データ DATA をラッチパルス LP の立ち下がりにより一括ラッチして 1 シフトクロック X S C L 以上の書き込み時間をかけてフレームメモリ (S R A M) 252 のメモリマトリクスに書き込む書き込みレジスタ 256 と、走査スタート信号 Y D により初期化され書き込み制御信号 W R または読み出し制御信号 R D の印加の度に 5 フレームメモリ 252 の行 (ワード線) を順次選択する行アドレスレジスタ 257 と、フレームメモリ 252 よりの表示データと走査電極の電圧選択パターンとの組から対応する信号電極の駆動電圧情報を割り出す信号電圧割り出し回路 258 と、信号電圧割り出し回路 258 からの低論理振幅レベルの信号を高論理振幅 10 レベルの信号に変換するレベルシフタ 259 と、レベルシフタ 259 から出力される高論理振幅レベルの電圧選択コード信号により、後述する図 8 に示した電圧 V 2、V 1、V c (0 V)、-V 1、-V 2 の 5 レベルからいずれかを選択して各信号電極 X 1 ~ X n に印加する電圧セレクタ 260 とを有している。

信号電圧割り出し回路 258 は、ラッチ回路 258-1 と、不一致数判定回路 258-2 と、ラッチ回路 258-3 とを備えて要る。図 12 は、不一致数判定回路 258-2 を示すブロック図である。不一致数判定回路 258-2 は、不一致数データ a 0, b 0, a 1, b 1, a 2, b 2, a 3, b 3、がそれぞれ入力される排他的論理和ゲート EX 0, EX 1, EX 2, EX 3 を備える。これらの排他的論理和ゲート EX 0, EX 1, EX 2, EX 3 の出力は、デコーダ 258-2 1 に入力されデコーダ 258-2 1 で選択制御信号 Q 0, Q 1, Q 2, Q 3 20 、Q 4 を生成する。

図 13 は、電圧セレクタ 260 を示すブロック図である。上記した不一致数判定回路 258-2 で生成された選択制御信号 Q 0, Q 1, Q 2, Q 3, Q 4 は、ラッチ回路 258-3 とレベルシフタ 259 とを介して電圧セレクタ 260 に入力される。この電圧セレクタ 260 は、アナログスイッチ 261, 262, 263, 264, 265 を備え、それぞれに順次 V 2, V 1, V c, -V 1, -V 2 が供給される。そして、アナログスイッチ 261 には上記した選択制御信号 Q 4 が、アナログスイッチ 262 に選択制御信号 Q 3 が、アナログスイッチ 263 に選択制御信号 Q 2 が、アナログスイッチ 264 に選択制御信号 Q 1 が、アナログ

スイッチ 265 に選択制御信号 Q0 が入力される。これらアナログスイッチにより、5 レベルの電圧が選択される。

(電源回路の構成例)

次に、図 16 を用いて、信号電極側駆動回路と走査電極側駆動回路に 5 レベルの電圧を供給する電源回路について説明する。

この電源回路の入力電源電圧は、Vcc (第1入力電位)、GND (第2入力電位) のみであり単一電源入力となっている。また水平走査期間毎に発生するパルスからなるラッチパルス LP が入力される。クロック形成回路 21 は、ラッチパルス LP に基づき、チャージ・ポンプ回路に必要な、タイミングの異なるいくつかのクロック信号を形成するものであり、Vcc および GND を電源とし、GND を -V2 としてこれを基準に他の電圧レベルを決定している。図 1 での説明では、Vc = 0V として説明したが、この電源回路の構成においては、各駆動電圧を GND (0V) より正側の電圧として生成している。どちらの電位関係で液晶表示装置を駆動しても液晶に印加される実効電圧は同じであるが、正側のみの駆動電圧生成の方が電源回路の構成は簡単になる。

そして、同図に示すように、Vcc に昇圧回路 29A とレギュレータ 29B を接続している。2 倍昇圧回路 24 は、GND を基準に Vc を 2 倍昇圧した正側の選択電圧 V2 をチャージ・ポンプ動作により発生する。また、1/2 降圧回路 26、27 は、Vc - V2 間を 2 等分した電圧である V1、GND - Vc 間を 2 等分した電圧である -V1 をチャージ・ポンプ動作により発生する。

図 15 は、チャージ・ポンプ回路の最も基本となる概念図である。同図において SWa と SWb とは連動スイッチであり、一方が A 側に倒れている間は他方も A 側に倒れている。また、図 15 では SWa、SWb を機械的なスイッチで表したが、実際にはスイッチ SWa、SWb は、A 側との導通・遮断を制御する MOS トランジスタと、B 側との導通・遮断を制御する MOS トランジスタの通常 2 つのトランジスタスイッチにより構成できる。

SWa、SWb が A 側に切り替わっている間は、ポンピング・コンデンサ Cp は Vb - Va の電圧で充電される。次いで SWa、SWb が B 側に切り替わると

、 C_p に充電された電荷がバックアップ・コンデンサ C_b に転送される。このスイッチング動作を繰り返すことにより、 C_b に加わっている電圧、すなわち、 $V_e - V_d$ 間の電圧は $V_b - V_a$ 間の電圧とほぼ等しい値に近づく。このとき、 V_d がある定まった電圧である場合には、 V_d より $V_b - V_a$ だけ高い電圧が V_e に発生する。逆に、 V_e がある定まった電圧である場合には、 V_e より $V_b - V_a$ だけ低い電圧が V_d に発生する。以上がチャージ・ポンプ回路の基本動作である。同図に示す V_a 、 V_b 、 V_d 、 V_e をどこに接続するかによって、この回路が昇圧回路として機能したり、降圧回路として機能したりする。

10 このように、図 14 に示す従来の電源回路に比べ、一点鎖線で囲まれた構成部においてコンデンサを 13 個から 6 個へ削減できるという利点があり、回路構成を簡単にすることができます。

(電源回路の変形例)

15 図 17 は、電源回路の変形例を示すブロック図である。この変形例は、図 16 に示した電源回路において 1/2 降圧回路 26、27 を、抵抗 R_1 、 R_2 およびゲート 29C からなる降圧手段、抵抗 R_3 、 R_4 およびゲート 29D からなる降圧手段で置き換えたものであり、一点鎖線で囲まれた構成部のコンデンサを 2 個にすることことができ、より回路構成を簡単にすることができます。

20 また、上記のような駆動方法とすることで、走査電極側駆動回路の駆動電圧振幅と信号電極側駆動回路の駆動電圧振幅を同じにできるために、図 3 に示すように 1 チップの I C 31 の中に、少なくとも走査電極側駆動回路（走査線ドライバ 32）と信号電極側駆動回路（信号線ドライバ）33 の 2 つをまとめる、あるいは、走査電極側駆動回路 32 と信号電極側駆動回路 33 の 2 つの他に制御回路 34 や、先に説明した構成の電源回路 35 等をまとめる、ように集積化することができるようになった。

25 このようにする事で、コントラストが高く、駆動電圧を低く抑え、しかも、駆動電圧レベル数を減らす事ができるため、液晶表示装置の電源回路、駆動回路、液晶パネル等のトータルでの消費電力を低減する事ができ、電源回路や駆動回路の簡略化もできる。また、走査線数を 120 本としても、ドライバ I C の耐圧 1

0 ボルト以下と、低くすることができ低コスト化も実現できる。また、図 3 に示すように、電源回路、制御回路、信号電極側駆動回路、走査電極側駆動回路等を 1 チップにまとめる事も可能になり、省スペース化も可能になる。

なお、実施形態 1 では、選択期間を 4 つに分散しているが、2 H 期間ずつまとめて 2 つに分散したり、特開平 9-15556 に示すような分散方法でも良い。

また、上記の、走査電極側駆動回路、信号電極側駆動回路、電源回路等は、他の実施形態でも同様の考え方で応用できる。

(実施形態 2)

本実施形態による液晶表示装置は、実施形態 1 と同様な構成であり、図 5 の液晶表示装置のブロック図に示すように走査電極 54 と信号電極 53 を有し、その間に液晶分子が 180° 以上ねじれ配向した STN (スーパーツイステッドネマチック) 型液晶を挟んで構成される。以下、実施形態 1 と同様に、電圧を印加すると黒になる反射型液晶表示装置を例にして説明する。

図 2 は本実施形態の駆動波形を示す図である。本実施形態の駆動方法は、4 本の走査電極 (4 ライン) ずつ同時に選択し、4 ライン単位で順次選択を行う駆動方法であり、実施形態 1 と同様に、同時に選択する走査電極にはある期間で互いに直交するような正規直交行列に基づいて選ばれる信号極性の選択電圧が同時に与えられる。但し、実施形態 1 は 1 フレーム期間 (1 F) に選択期間 (H) を分散したのに対し、実施形態 2 は実施形態 1 にて 1 フレーム期間中に印加されていた 4 つの選択電圧 $1 h \sim 4 h$ を一つにまとめて、選択期間 (H) を構成した一例を各々示している。Y 1 ~ Y 8 が走査電圧波形で、これが、図 5 の液晶表示装置のブロック図に示す Y 1 ~ Y 8 の各走査電極 54 に印加される。そして、X 1 が信号電圧波形で、図 5 の X 1 の信号電極上に示す表示をした場合の信号電極 53 に印加される信号電圧波形を示している。

本発明の駆動方法においては、図 2 に示すように走査電圧波形の選択電圧と信号電圧波形の電圧振幅を同じにしている。具体的には、Vc を基準 (例えば 0 V) として、走査電圧波形の正極性側の選択電圧 V2 と信号電圧波形の正極性側の電圧 V2 が同じ電圧レベルで、走査電圧波形の負極性側の選択電圧 -V2 と信号

電圧波形の負極性側の電圧-V2が同じ電圧レベルにする。こうすることで、駆動電圧の電圧レベル数を、図6に示すような7電圧レベルから5電圧レベルに削減する。

次に、使用する液晶の特性について説明する。図4は、液晶に印加する実効電圧と輝度の光学特性を示す図で、Vt1とVt2の電圧(しきい電圧)は液晶に印加された実効電圧に応じて、液晶表示装置の画素が明るい状態から暗くなり始める状態に変化する電圧を示し、Vs1とVs2(飽和電圧)は液晶に印加された実効電圧に応じて、液晶表示装置の画素が次第に暗くなって行き、暗くなつた状態の電圧を示す。そして、液晶1はしきい電圧の低いもので、液晶2はしきい電圧が高いものである。

このような特性の液晶の中で本発明では液晶2を使う。この液晶は、比較的Vt2の電圧は高いが($Vs2/Vt2$)が比較的小さく、走査電極のライン数が増えてもコントラストを確保したまま駆動できるものである。液晶2は、Vt2が約2.2ボルト、Vs2が約2.31で、($Vs2/Vt2$)=1.05である。

そして、本実施形態では、上記の駆動方法と液晶2のような特性の液晶を組み合わせる事で、駆動電圧を低く抑えて、コントラストの高い液晶表示装置を実現することができた。以下に、より具体的に説明する。

例えば、走査電極の数を64本とした場合で説明すると、上記の駆動方法で液晶に印加する電圧は、Vc=0とした場合、V2は約4.1ボルト、V1は約2.05ボルトで駆動した。この時の液晶に印加される実効電圧の(オン電圧/オフ電圧)は約1.105になり、($Vs2/Vt2$)=1.05<1.105を満足しているので十分なコントラストが確保できる。

また、走査電極の数を120本とした場合で説明すると、上記の本発明の駆動方法を用いた場合に液晶に印加する電圧は、Vc=0とすると、V2は約4.4ボルト、V1は約2.2ボルトになる。この時の液晶に印加される実効電圧の(オン電圧/オフ電圧)は約1.06になり、($Vs2/Vt2$)=1.05<1.06を満足しているので十分なコントラストが確保できる。

また、上記のような駆動方法とすることで、走査電極側駆動回路から出力する走査電圧振幅と信号電極側駆動回路から出力する信号電圧振幅を同じにできるために、図3に示すように1チップのIC31の中に、少なくとも走査電極側駆動回路（走査線ドライバ）32と信号電極側駆動回路（信号線ドライバ）33の2つをまとめる、あるいは、走査電極側駆動回路32と信号電極側駆動回路33の2つの他に制御回路34や、先に説明した構成の電源回路35等をまとめる、よう集積化することが可能になった。

このようにする事で、コントラストが高く、駆動電圧を低く抑え、しかも、駆動電圧レベル数を減らす事ができるため、液晶表示装置の電源回路、駆動回路、液晶パネル等のトータルでの消費電力を低減する事ができ、電源回路や駆動回路の簡略化もできる。また、走査線数を120本としても、ドライバICの耐圧10ボルト以下と、低くすることができ低成本化も実現できる。また、図3に示すように、電源回路、制御回路、信号電極側駆動回路、走査電極側駆動回路等を1チップにまとめる事も可能になり、省スペース化も可能になる。

15 (実施形態3)

図7は本実施形態の駆動波形を示す図である。本実施形態の駆動方法は、7本の走査電極（7ライン）ずつ同時に選択し、7ライン単位で順次選択を行う駆動方法であり、実施形態1と同様に、同時に選択する走査電極にはある期間で互いに直交するような正規直交行列に基づいて選ばれる信号極性の選択電圧が同時に与えられる。本実施形態3は、実施形態1と同様に1フレーム期間（1F）に選択期間（H）を分散させるように構成したものである。本実施形態の液晶表示装置は、図5のブロック図に示した構成と同様であるため同図を用いて説明する。

走査電極54（Y1～Yn）を内面に形成した基板と信号電極53（X1～Xn）を内面に形成した基板とを対向させ、この一対の基板間に液晶分子が180°以上のねじれ配向を有するSTN（スーパーツイステッドネマチック）型液晶を挟持した液晶表示装置である。この液晶表示装置は一対の基板の外側に各々偏光板を配置し、少なくとも一方の偏光板と基板との間には位相差板が配置される。なお、本実施形態では、視認側と反対側の偏光板の外側に反射板が配置さ

れ、液晶に電圧を印加すると黒表示になる反射型液晶表示装置を例にして説明する。また、図5における走査線ドライバ52（走査電極側駆動回路やYドライバともいう）は走査電極54に下記に説明する走査電圧波形を印加し、信号線ドライバ51（信号電極側駆動回路やXドライバともいう）は信号電極53に下記に説明する信号電圧波形を印加するものであり、走査電極54と信号電極53の交点に画素がマトリクス状に形成され、走査電圧波形と信号電圧波形の差電圧により画素位置の液晶に実効電圧が印加され、その実効電圧値が液晶のしきい値を超えて電圧印加されるとオン表示（黒表示）、しきい値以下の実効電圧が印加されるとオフ表示（白表示、但しカラーフィルタ付きの場合はその色表示）となる。

なお、透過型表示装置として液晶表示装置を構成し、液晶のしきい値を超えた実効電圧印加でオフ表示、しきい値より低い実効電圧印加でオフ表示としても構わない。

図7に示した駆動方法は、7本の走査電極（7ライン）ずつを同時に選択し、7ライン単位で順次選択する駆動方法（Multi-Line Selection法）である。この方法により、信号電極に出力される電圧レベル数が、従来であれば9電圧レベル必要だったが、本発明では5電圧レベルへ削減することができる。

まず、走査電極を複数本ずつ同時に選択する駆動方法において電圧レベル数を削減する場合の一般的な手法を説明する。

同時に選択する走査電極の本数hの内、e本を仮想走査電極（仮想ライン）とし、この仮想走査電極のラインの画素の表示データと走査電極の電圧選択パターン（選択電圧の信号極性パターン）との一致・不一致を制御することにより、全体の一致・不一致数を制御し、信号電極へ印加する信号電圧のレベル数を削減する。不一致数をMi、Vcを適当な定数とすると、

信号電極への印加電圧 V_{column} は、

$$25 \quad V_{column} = Vc \sum_{j=1}^h a_{k+h+j} \oplus d_{k+h+j}$$

$$= Vc (2Mi - h) \quad (Vc : \text{定数})$$

あるいは単純に

$$V_{\text{column}} = V(i) \quad 0 \leq i \leq h$$

いずれにせよ、 V_{column} は $h + 1$ レベルである。

例えば、本実施形態のようにサブグループが $h = 8$ で、同時選択する走査電極を 8 ラインとして電圧レベルを削減しない場合の電圧レベルは、例えば $-V4$ 、
 5 $-V3$ 、 $-V2$ 、 $-V1$ 、 0 、 $V1$ 、 $V2$ 、 $V3$ 、 $V4$ の 9 レベル必要であるのに対し、8 ラインのうちの 1 ラインを仮想走査電極として実際は 7 ライン同時選択とする場合、仮想走査電極で偶数個の不一致となるように制御すると、下表 1 のようになる。

10 【表 1】

元の電圧レベル	元の不一致	仮想走査電極	修正後の不一致数	修正後の電圧レベル
$-V4$	0	一致	0	Va
$-V3$	1	不一致	2	Vb
$-V2$	2	一致	2	Vb
$-V1$	3	不一致	4	Vc
0	4	一致	4	Vc
$V1$	5	不一致	6	Vd
$V2$	6	一致	6	Vd
$V3$	7	不一致	8	Ve
$V4$	8	一致	8	Ve

上記のように、元の電圧レベル数が 9 レベルであったものを 5 電圧レベルにすることができる。図 8 は、例えば $-V4$ 、 $-V3$ 、 $-V2$ 、 $-V1$ 、 0 、 $V1$ 、
 15 $V2$ 、 $V3$ 、 $V4$ の 9 レベルの元の電圧レベルの奇数番目のレベルを Va 、 Vb

、 V_c 、 V_d 、 V_e の5つの信号電極への印加電圧に適用した例を示している。

なお、上記の仮想走査電極は、通常表示しなくてもよいので、必ずしも現実に設ける必要はないが、設ける場合には表示に影響しない部分に設けるとよい。

このように同時に選択する走査電極には、正規直交行列に基づき、ある期間で

5 互いに直交するような信号極性の選択電圧が同時に与えられる。図7に示した駆動方法においては、1ラインを選択する選択期間（H）は1フレーム期間（1F）内に周期的に到来するように分散されており、1フレームを構成する1f～8fの8フィールドの各々において、各ラインが一回選択される。同時選択する走査電極は8ラインであるが、1ラインが仮想走査電極とされて、7ラインに同時に選択電圧が印加されている。8ライン同時選択であるので、1フレーム内が8フィールドからなり、各走査電極は1フレーム内で8回選択される。 $Y_1 \sim Y_8$ が走査電圧波形で、これが、図5の液晶表示装置のブロック図に示す $Y_1 \sim Y_8$ の各走査電極に印加される。そして、 X_1 が信号電圧波形で、図5の X_1 の信号電極上に示す表示をした場合の信号電極に印加される電圧波形を示している。

10 15 本実施形態においては、上記した実施形態1および実施形態2と同様に、走査電圧波形の選択電圧と信号電圧波形の電圧振幅を同じにする。具体的には、 V_c を基準（例えば0V）として、走査電圧波形の正極性側の選択電圧 V_4 と信号電圧波形の正極性側の電圧 V_4 が同じ電圧レベルで、走査電圧波形の負極性側の選択電圧 $-V_4$ と信号電圧波形の負極性側の電圧 $-V_4$ を同じ電圧レベルにする。

20 25 こうすることで、駆動電圧のレベル数を従来の駆動方法では11電圧レベル（選択電圧数+信号電圧数）が必要となるところを、5電圧レベルに削減することができる。

25 なお、本実施形態では、液晶として図4に示した液晶2を用いる。この液晶2は、比較的 $V_t 2$ の電圧は高いが（ $V_s 2 / V_t 2$ ）が比較的小さく、走査線数が増えてもコントラストを確保したまま駆動できるものである。液晶2は、 $V_t 2$ は約2.2ボルト、 $V_s 2$ は約2.31で、 $(V_s 2 / V_t 2) = 1.05$ である。本実施形態においては、上記の駆動方法と液晶2のような特性の液晶を組み合わせる事で、駆動電圧を低く抑えて、コントラストの高い液晶表示装置を実

現した。以下に、より具体的に説明する。

例えば、走査電極の数を203本とした場合で説明すると、上記の本発明の駆動方法を用いた場合に液晶に印加する電圧は、 $V_c = 0$ とすると、 $V_{th} = 2.2\text{ V}$ 、 V_4 が約 5.66 V 、 $V_{th} = 1.7\text{ V}$ 、 V_4 が約 4.37 V になる。この場合も、実効電圧の（オン電圧／オフ電圧）は約 1.056 になり、 $(V_s 2 / V_{th} 2) = 1.05 < 1.056$ を満足しており十分なコントラストが確保できる。

また、上記のような駆動方法とすることで、走査電極側駆動回路の駆動電圧振幅と信号電極側駆動回路の駆動電圧振幅を同じにできるために、図3に示すように1チップのIC31の中に、少なくとも走査電極側駆動回路（走査線ドライバ）32と信号電極側駆動回路（信号線ドライバ）33の2つをまとめる、あるいは、走査電極側駆動回路32と信号電極側駆動回路33の2つの他に制御回路34や、先に説明した構成の電源回路35等をまとめる、ように集積化することが可能になった。

なお、本実施形態では、7ライン同時選択を8フィールドに亘って選択パルスを分散させたが、図18に示すように、選択パルスを分散させずに、所定期間に同時選択された走査電極の7ラインを連続して選択し、同一の走査電極に与える1F期間内の選択期間を連続して設け、7ラインの連続繰り返し選択終了後に次の7ラインを同時選択するような、同時選択と順次選択を行う選択期間の非分散型の駆動方法を用いてもよい。

本実施形態で用いる信号電極側駆動回路においては、上記したように7ライン同時選択駆動方式を採用している都合上、1水平期間毎7ラインに亘る表示データと走査電極の電圧選択の列パターンの行列式から信号電極電位を決定するよう設定されている。

また、本実施形態においては、電圧レベルを図8に示す V_4 、 V_2 、 V_c 、 $-V_2$ 、 $-V_4$ を選択するように設定したが、 V_3 、 V_1 、 V_c 、 $-V_1$ 、 $-V_3$ を選択するように設定することも可能である。

本実施形態によれば、このような構成を備えることで、コントラストが高く、

駆動電圧を低く抑え、しかも、駆動電圧レベル数を減らす事ができるため、液晶表示装置の電源回路、駆動回路、液晶パネル等のトータルでの消費電力を低減する事ができ、電源回路や駆動回路の簡略化もできる。また、走査線数を 203 本としても、ドライバ I C の耐圧 12 ボルト以下と、低くすることができ低成本化も実現できる。また、図 3 に示すように、電源回路、制御回路、信号電極側駆動回路、走査電極側駆動回路等を 1 チップにまとめる事も可能になり、省スペース化も可能になる。

なお、上記実施形態 1 ~ 3 において、(全走査電極数) / (同時に選択する走査電極数) の演算において余りが出る場合は、余りの走査電極についても、同時に選択する走査電極数分有るものとみなして信号電極の信号電圧を選択して駆動する。

(実施形態 4)

実施形態 1 ~ 実施形態 3 において説明した液晶表示装置に、少なくとも走査電極側駆動回路と信号電極側駆動回路の 2 つをまとめる、あるいは、走査電極側駆動回路と信号電極側駆動回路の 2 つの他に制御回路、電源回路等をまとめる、よう集積化して構成されたドライバ I C (図 3 のドライバ I C 3 1) を実装した構造を、図 19 を用いて説明する。

図 19において、1304 は実施形態 1、2 にて説明した走査電極と信号電極がマトリクス状に形成された液晶パネルである。1304a、1304b は、内面にそれぞれ走査電極、信号電極を形成したガラス等の一対の基板である。基板 1304a に形成された一方の電極は、図示しない上下導通材により基板 1304b 上に形成された電極配線に接続される。1322 は先に説明した駆動 I C 1324 を搭載したフレキシブルテープである。ドライバ I C 1322 から出力される走査電圧、信号電圧の出力端子は、基板 1304b の端部に集中配置された走査電極及び信号電極の入力端子と、異方性導電膜を介して電気的に接続されると共に、テープ 1322 も基板 1304b に接合される。なお、フレキシブルテープを用いずに、基板 1304b 上にドライバ I C 322 を COG 実装法により直接実装しても良い。

このように、ドライバICが1チップになることにより、実装構造が簡略化され、部品点数の減少、実装工程の簡単化、装置の小型化ができる。

(実施形態5)

実施形態1、2、3に示すような駆動方法による液晶表示装置を携帯電話や小型情報機器等の電子機器の表示装置として使用する事で、表示品質が良く、低消費電力、低コスト、省スペースの電子機器が実現できる。

図20は、それぞれ本発明の液晶表示装置を使った電子機器の例を示す外観図である。図20Aは携帯電話を示す斜視図である。1000は携帯電話本体を示し、そのうちの1001は本発明の反射型液晶表示装置を用いた液晶表示部である。図20Bは、腕時計型電子機器を示す図である。1100は時計本体を示している。1101は本発明の反射型液晶表示装置を用いた液晶表示部である。この液晶表示装置は、従来の時計表示部に比べて高精細の画素を有するので、テレビ画像表示も可能とすることができます、腕時計型テレビを実現できる。

図20Cは、ワープロ、パソコン等の携帯型情報処理装置を示す図である。1200は情報処理装置を示し、1202はキーボード等の入力部、1206は本発明の液晶表示装置を用いた表示部、1204は情報処理装置本体を示す。各々の電子機器は電池により駆動される電子機器であるので、駆動電圧の低いIC化された駆動回路とすることにより、電池寿命を延ばすことが出来る。また、1チップのドライバIC化により部品点数が大幅に減り、より軽量化・小型化できる。

尚、上記実施形態1から5では同時に選択するライン数を4ラインと7ラインの場合で説明しているが、同時選択ライン数は2、3、5、6、8、・・・と何ラインにしても、走査電圧波形の電圧振幅と信号電圧波形の電圧振幅を同じにする事で、同様の駆動方法ができる。

また、駆動する走査電極数を64と120と203で、液晶2のタイプとの組み合わせで説明したが、走査電極数は64以下でも64以上でも、低消費電力化や低コスト化を可能にする。また、液晶1のような低電圧液晶との組み合わせによってより低消費電力化が可能になる。

また、2値表示（オン表示／オフ表示）による説明をしたが、選択期間に信号電極に印加する電圧波形をパルス幅階調（PWM）した場合や、フレーム階調（FRC）した場合等の階調表示の場合にも同様に実現できる。

また、液晶パネルの液晶として反射型STN型を例示してきたが、液晶はこれに限定されるものではなく、強誘電型や反強誘電型などの双安定性を有する液晶や、高分子分散型液晶や、TN型液晶や、ネマチック液晶など、種々用いることができる。また、液晶パネルは、反射型を例にして説明したが、透過型液晶パネルにおいても本発明を用いることができる。

また、液晶パネルは単純マトリクス型液晶パネルを例として説明してきたが、一方のパネル基板上に画素電極をマトリクス配置し、これに二端子型非線形素子からなるスイッチング素子を接続し、走査電極と信号電極との間に液晶層と二端子型スイッチング素子が電気的に直列接続されるアクティブマトリクス型液晶パネルとして構成し、本発明の駆動方法を用いてもよい。

なお、Multi-line Selection法による駆動方法においては、走査電極に印加する選択電圧の信号極性は、正規直交行列に基づいて決定される。この信号極性とは、走査電圧の非選択電圧 V_c を基準とした場合の信号極性である。 $V_c = 0\text{ V}$ とすると、正極性の選択電圧と負極性の選択電圧が正規直交行列に基づいて決定される。しかし、すべての走査電圧をGND電位からプラス電位あるいはマイナス電位として駆動電圧を生成することもでき、その場合は $V_c \neq 0\text{ V}$ であるので、この V_c から正極性側と負極性側に生成された選択電圧から、正規直交行列に基づいて選ぶことになる。

以上述べたように、実施形態1から実施形態5の液晶表示装置の駆動方法と駆動回路によれば、駆動電圧を低く抑え、しかも、駆動電圧レベル数を減らす事ができるため、液晶表示装置の電源回路、駆動回路、液晶パネル等のトータルでの消費電力を低減する事ができ、電源回路や駆動回路の簡略化もできる。また、液晶の特性を最適化する事でコントラストも向上する。また、ドライバICの耐圧を低くすることができ低コスト化も実現できる。また、電源回路、制御回路、信号電極側駆動回路、走査電極側駆動回路等を1チップにまとめる事も可能になり

、省スペース化も可能になる。また、本発明の電子機器は、本発明の駆動方法、駆動回路を用いた液晶表示装置を組み込んでいるため、表示品質が良く、低消費電力、低コスト、省スペースの電子機器が実現できた。

(実施形態 6)

5 図21から図24は、本発明の実施形態6を示している。本実施形態は、実施形態1～3のいずれかの駆動方法を用いた液晶表示装置のパネル構造を説明するものである。尚、図21は液晶装置の外観を示し、図22はこの液晶装置の第1基板上の信号電極等の平面レイアウトを示し、図23は、この液晶装置の第2基板上の走査電極等の平面レイアウトを示しており、図24は、これらの電極の具10 体的な構成例を拡大して示している。

15 図21に示すように、実施形態6に係る液晶装置は、第1基板1（図19の1304aに相当）及び第2基板2（図19の1304bに相当）が対向配置されており、両基板間にはSTN型液晶が封入されている。平面的に見て液晶が封入された両基板の中央には、実際に画像が表示される画像表示領域3が規定され、この周囲に額縁領域4が規定されている。額縁領域4における第1基板1上の実装領域1aには、1チップ構造の駆動回路100が搭載されている。このドライバIC100は、図3のドライバIC31、図19の1324に相当するドライバICである。

20 図21及び図22に示すように、画像表示領域3における第1基板1上には、複数の信号電極10が走査電極20と多重マトリクスを構成するように配置されている。特に各信号電極10は、画素対応して設けられた複数の画素電極部分10aとこれらと接続する信号配線部分10bとから構成されており、Y方向に伸延している。これに対し、図21及び図23に示すように、画像表示領域3における第2基板2上には、複数の走査電極20が、1ラインの走査電極が複数の信号電極10にそれぞれ接続された複数の画素電極部分10aと各々重なるように配置されている。即ち各走査電極はX方向に伸延している。走査電極20と信号電極10は、図5における走査電極54と信号電極53に相当するものである。

25 図21及び図22に示すように第1基板1上において、1チップ構造の駆動回

路 100 は、信号電極 10 の一端側（図中下側）に位置する実装領域 1a に取り付けられており、信号電極 10 及び走査電極 20 に対し、信号電圧波形及び走査電圧波形を各々所定タイミングで供給することにより、これらの電極を駆動する。より具体的には、図 21 に示した外部入力端子 5 を介して、外部回路から所定 5 フォーマットの表示データが駆動回路 100 に供給され、この表示データに基づいて駆動回路 100 が実施形態 1 乃至 5 のいずれかの駆動を行うことにより、画像表示領域 3 における画像表示が行われる。

図 22 に示すように、額縁領域 4 には、駆動回路 100 に近い側にある信号電極 10 の一端と駆動回路 100 とを接続する複数の第 1 引き回し配線 31 が配線 10 されている。更に、額縁領域 4 には、第 1 基板 1 上に設けられた上下導通端子 40 と駆動回路 100 とを接続する複数の第 2 引き回し配線 32 が配線されている。また、図 22 及び図 23 に示すように、額縁領域 4 における第 1 基板 1 及び第 15 2 基板 2 間には、第 1 基板 1 上に設けられた上下導通端子 40 と第 2 基板 2 上で走査電極 20 の額縁領域 4 内に延設された端部 20a とを電気的接続する複数の上下導通材 41 が設けられている。

以上のように本実施形態によれば、額縁領域 4 において駆動回路 100 に近い側にある信号電極 10 の一端と駆動回路 100 とが第 1 引き回し配線 31 により接続されるので、第 1 引き回し配線 31 については、画像表示領域 3 の周囲を殆ど引き回す必要はない（図 22 参照）。即ち、第 1 引き回し配線 31 の配線長は 20 、基本的に非常に短くて済む。

ここで図 24A に示すように、信号電極 10 及び走査電極 20 は、例えば 2 重マトリクス構造の場合には、走査信号 Y1、Y2、…が供給される各走査電極 20 の幅は、画像信号 X1、X2、…が供給される 2 本の相隣接する信号電極 10 からなる Y 方向に並ぶ画素配列に対応するように 2 画素分になる。他方、走査電極 20 の総数は、多重マトリクス構造を持たない場合（即ち、走査電極と信号電極との交点に一対一対応して一画素が規定される、言わば 1 重マトリクス構造の場合）と比較して、1/2 程度になる。また、図 24B に示すように、信号電極 10 及び走査電極 20 は、例えば 3 重マトリクス構造の場合には、各走査電極 2

0の幅は、3本の相隣接する信号電極10からなるY方向に並ぶ画素配列に対向するように3画素分になる。他方、走査電極20の総数は、多重マトリクス構造を持たない場合と比較して、1/3程度になる。

そして、一般には、信号電極10の多重マトリクス構造がn（但し、nは2以上の自然数）重マトリクス構造の場合には、各走査電極20の幅は、n本の相隣接する信号電極10からなるY方向の画素配列に対向するようにn画素分になり、走査電極20の総数は、多重マトリクス構造を持たない場合と比較して1/n程度になる。尚、図24の具体例では画素電極部分10aと信号配線部分10bとはITO（Indium Tin Oxide）膜等の透明導電膜、Al（アルミニウム）膜等の不透明な導電膜などから一体的に形成されているが、例えば画素電極部分10aはITO膜等の透明導電膜から形成し、信号配線部分10bはAl膜等の不透明な導電膜から形成するというようにこれらを別材料から形成することも可能である。

そこで本実施形態では、これらの多重マトリクス構造に係る走査電極20の幅及び総数に着目して、走査電極20の端部20aに接続された上下導通材41に接觸する上下導通端子40と駆動回路100とが、図22に示すように、第2引き回し配線32により接続されるように構成する。これにより、第2引き回し配線32の総数は、多重マトリクス構造を持たない場合と比較して1/n程度に減ぜられる。例えば、画像表示領域3がX方向に100画素且つY方向に100画素あるとすると、第2引き回し配線32は、50本で足りる。

よって、第2引き回し配線32の額縁領域4に占める領域を全体として多重マトリクス構造を持たない場合と比較して1/n程度に小さくできる。即ち、1チップ構造の駆動回路100を用いているにも拘わらず、第2引き回し配線32が引き回される額縁領域4の面積増加を極めて効率的に抑制できる。逆に、走査電極20は、図24に示したように各画素のn倍程度の幅を持ち、信号電極10に比べて遙かに幅広に構成されるため、1チップ構造の駆動回路100を用いることに伴う微細化を殆ど必要としない。

以上の結果、図22に示すように比較的配線長が短い第1引き回し配線31と

比較的総数が少ない第2引き回し配線32により、額縁領域4を画像表示領域3に対して小さくすることが可能となる。これに加えて、第1基板1及び第2基板2の貼り合せ時の基板ずれ等を考慮して額縁領域4内に一定面積が必要な上下導通端子40の総数についても、多重数nに応じて1/n程度で済むので、額縁領域4を小さくするのが一層容易となる。

そして、このように比較的配線長が短い第1引き回し配線31と比較的総数が少ない第2引き回し配線32により、駆動回路100から走査電極20及び信号電極10に至るまでの配線抵抗の増加を抑えることができる。このため、配線抵抗の増加に起因する画像信号や走査信号の劣化を未然防止でき、比較的電圧供給性能の低い或いは耐圧の低い駆動回路100でも十分に高品位の画像表示が可能となり、駆動用の消費電力の低減にも繋がる。

この際、駆動回路100により信号電極10に供給される画像信号の1フレーム中の選択時間を多重数nに応じてn倍にできるため、デューティー比を下げるこことによっても駆動電圧を下げることができ、同時に画像表示領域3におけるコントラスト比や明るさも高くできる。加えて、このように構成される多重マトリクス構造の信号電極10、第1引き回し配線31及び第2引き回し配線32、並びに1チップ構造の駆動回路100は各々、既存の微細化技術で十分に作成可能であるので実践上も大変有利である。

本実施形態では特に、図23に示すように走査電極20は、画像表示領域3の両側からその内部に向けて交互に櫛歯状に配線されている。従って、画像表示領域3の片側には、走査電極20の総数の半分だけ上下導通材41を設ければよく、図21に示すように第1基板1上にも、画像表示領域3の両側に位置する額縁領域4部分に各々半分づつ第2引き回し配線32を設ければよい。この結果、額縁領域4にバランスよく第2引き回し配線32を配線できる。例えば、画像表示領域3がX方向に100画素且つY方向に100画素あるとすると、第2引き回し配線32は、片側に、25本で足りる。このようにX方向の両側における額縁領域をバランスよく狭めることが出来る。

また、本実施形態では特に、画像表示領域3は、X方向よりもY方向に長い長

方形であり、Y方向の画素数がX方向の画素数よりも多いように信号電極10及び走査電極20が設けられている。ここで第1引き回し配線31の総数及び長さについては、図22から明らかなように画像表示領域3のY方向の長さによらずに各々一定にできる。また、第2引き回し配線32の総数についても、Y方向の画素数がn個増加する毎に1本の第2引き回し配線32を設ければ良く（図24参照）、第2引き回し配線32の長さについても画像表示領域3のY方向の長さに応じた分だけ伸ばせば足りる（図22参照）。従って、画像表示領域3がY方向に長くなる程有利となる。例えば、画像表示領域3がX方向に60画素且つY方向に120画素あるとすると、第2引き回し配線32は、30本（片側に15本ずつ）で足りる。特に、このようにY方向に長い液晶装置を構築すれば、携帯電話など装置外形に応じて縦長画面が好まれる用途に非常に適している。一般には、縦長の画面を得る為には、画像データの縦横変換処理などの余分な信号処理が必要となるが、本実施形態によれば、比較的簡単な構成により走査方向（X方向）が短い縦長の画面を従来通りの走査方式で駆動できるので実用上大変有利である。

尚、本実施形態では、図21に示したように、第1基板に駆動回路が、例えばCOG（Chip On Glass：チップオングラス）実装により搭載されている。或いは、リード端子を有するモールドパッケージ、フラットパッケージとして駆動回路100が第1基板1上に搭載される。

20 (実施形態7)

図25は、本発明の実施形態7を示している。実施形態7は、上記した実施形態6と比べて駆動回路100の取り付け方が異なるものであり、その他の構成については同様である。尚、図25は液晶装置の外観を示している。

即ち、図25に示すように、実施形態7に係る液晶装置では、第1基板1上の所定個所に第1引き回し配線31及び第2引き回し配線32に接続された入力端子1bが設けられている。そして、図示しない1チップ構造の駆動回路は、専用コネクタ101により入力端子1bに接続されている。専用コネクタ101は、入力端子1bにおける端子ピッチと同一ピッチで絶縁層101aに導電層101

bが挟まれるように多数の絶縁層101aと多数の導電層101bとが交互に積層されてなり、積層方向から見てL字型の断面形状を有する。従って、専用コネクタ101を用いて、第1基板1の下側や裏側に配置される配線基板に接続するに適している。尚、専用コネクタ101の断面形状は、コの字型等でもよい。

5 (実施形態8)

図26は本発明の実施形態8を示している。本実施形態8は、上記した実施形態7と比べて駆動回路100の取り付け方が異なるものであり、その他の構成については同様である。尚、図26は液晶装置の外観を示している。

即ち、図26に示すように、本実施形態に係る液晶装置では、第1基板1上の所定個所に第1引き回し配線31及び第2引き回し配線32に接続された入力端子1cが設けられている。そして、1チップ構造の駆動回路100'は、プリント基板などの配線基板200上に搭載されており、ACF (Anisotropic Conductive Film: 異方性導電膜) 102により入力端子1cに接続されている。

或いは、TAB (Tape Automated Bonding: テープ・オートメイティッド・ボンディング) 基板或いはFPC (Flexible Printed Circuit: フレキシブル・プリント回路) 基板上に1チップ構造の駆動回路を搭載し、TCP (Tape Carrier Package: テープキャリアパッケージ) として第1基板1の入力端子1cに接続してもよい。

尚、上述の各実施形態では、基板上に、例えば、TN (Twisted Nematic) モード、VA(Vertically Aligned)モード、PDL C(Polymer Dispersed Liquid Crystal)モード等の動作モードや、ノーマリー・ホワイトモード／ノーマリーブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光板などが所定の方向で配置される。更に白黒表示／カラー表示の別に応じてカラーフィルタやブラックマトリクスを基板上に適宜設けてよい。

25 上述の各実施形態において、信号電極に替えて走査電極を多重マトリクス状に形成すると共に走査電極に替えて信号電極をストライプ状に形成し、走査電極が形成された側の基板上に1チップ構造の駆動回路を取り付けるようにしてもよい。ここで、上記した実施形態1～3の駆動方法を実施形態6～8へ適用すれば、

電圧レベル数を削減できるため、多重マトリクス駆動を行なうドライバICの耐圧を低くすることができる。しかも、ドライバICの構成を簡略化することができる。そして、このような構成の電気光学装置では、例えば携帯電話などのように、縦長表示を要求されるような表示パネルの走査ライン数の増加を抑制できるため、ドライバICの1チップ化を行ない易いという利点がある。

また上述の実施形態6～8において、信号電極10において、各画素毎に画素電極部分10aと信号配線部分10bとの間に（図22参照）、薄膜ダイオード素子等の2端子型非線形素子を直列に接続してアクティブマトリクス型液晶表示装置を構成してもよい。このように構成すれば、2端子型非線形素子を介して各画素電極部分10aをスイッチング駆動すること即ちアクティブマトリクス駆動を、実施形態1～3の駆動方法により行なうことが可能となり、特にコントラスト比を高められる。

更に上述の各実施形態は、走査電極及び信号電極によるマトリクス駆動方式を行う電気光学装置であれば、EL (electroluminescence) 表示装置、プラズマディスプレイ装置等の液晶装置以外の各種の電気光学装置に応用可能である。

本発明の電気光学装置は、上述した各実施形態に限られるものではなく、本願明細書の全体から読み取れる発明の要旨或いは思想に反しない範囲で適宜変更可能であり、そのような変更を伴なう電気光学装置もまた本発明の技術的範囲に含まれるものである。

請求の範囲

(1) 複数の走査電極と複数の信号電極が互いに交差配置されてなり、該走査電極を同時に選択する複数の走査電極毎にグループ分けし、グループ単位で順次選択する電気光学装置の駆動方法において、

5 前記走査電極に印加する電圧振幅と前記信号電極に印加する電圧振幅を同一とすることを特徴とする電気光学装置の駆動方法。

(2) 請求項1において、前記走査電極に印加する走査電圧は、非選択電圧と、前記非選択電圧を基準として正側に位置する第1選択電圧と負側に位置する第2選択電圧とからなり、前記信号電極に印加する最高及び最低の信号電圧を前記選択電圧と共にすることを特徴とする電気光学装置の駆動方法。

10 (3) 請求項1乃至3のいずれかにおいて、前記電気光学装置は液晶表示装置であって、(液晶に印加する実効電圧のオン電圧／オフ電圧) \geq (液晶の飽和電圧／しきい電圧)となるような特性の液晶を、前記液晶表示装置の液晶として用いることを特徴とする電気光学装置の駆動方法。

15 (4) 請求項2において、前記走査電圧と前記信号電圧を生成する電源回路は、前記非選択電圧と前記第2選択電圧を昇圧して前記第1選択電圧を生成する昇圧回路と、前記第2選択電圧と前記非選択電圧の中間に位置する前記信号電圧を生成する第1降圧回路と、前記非選択電圧と前記第2選択電圧の中間に位置する前記信号電圧を生成する第2降圧回路とを有することを特徴とする電気光学装置の駆動方法。

20 (5) 請求項1乃至4のいずれかにおいて、前記走査電極に選択電圧を印加する走査電極側駆動回路と、前記信号電極に信号電圧を印加する信号電極側駆動回路とを1チップの駆動回路IC内に集積化することを特徴とする電気光学装置の駆動方法。

25 (6) 請求項1乃至4において、前記走査電極に選択電圧を印加する走査電極側駆動回路と、前記信号電極に信号電圧を印加する信号電極側駆動回路と、前記選択電圧及び前記信号電圧を生成する電源回路のうち、少なくとも2つを1チップの駆動回路IC内に集積化することを特徴とする電気光学装置の駆動方法。

(7) 請求項1乃至6のいずれかにおいて、前記各走査電極を選択する選択電圧を1フレーム期間内に分散して印加することを特徴とする電気光学装置の駆動方法。

5 (8) 請求項1乃至6のいずれかにおいて、前記各走査電極を選択する選択電圧を1フレーム期間中の所定期間に連続して印加することを特徴とする電気光学装置の駆動方法。

10 (9) 請求項1乃至8のいずれかにおいて、同時に選択しようとする前記走査電極の数に仮想の走査電極を含み、同時選択しようとする前記走査電極の数から前記仮想の走査電極の数を引いた数の走査電極を同時選択することを特徴とする電気光学装置の駆動方法。

(10) 請求項1乃至9のいずれかにおいて、同時に選択する前記走査電極の数が4本ずつであることを特徴とする電気光学装置の駆動方法。

(11) 請求項1乃至9のいずれかにおいて、同時に選択する前記走査電極の数が7本ずつであることを特徴とする電気光学装置の駆動方法。

15 (12) 請求項1乃至11のいずれかにおいて、前記走査電極と前記信号電極は、多重マトリクス構成を成すように交差配置されることを特徴とする電気光学装置の駆動方法。

20 (13) 請求項12において、前記走査電極が形成された基板と前記信号電極が形成された基板とを対向配置し、前記走査電極に選択電圧を印加する走査電極側駆動回路及び前記信号電極に信号電圧を印加する信号電極側駆動回路を集積した1チップの駆動回路ICを前記2つの基板の一方の基板上に搭載し、当該一方の基板と他方の基板とを上下導通材により接続してなることを特徴とする電気光学装置の駆動方法。

25 (14) 複数の走査電極と複数の信号電極が互いに交差配置されてなり、該走査電極を同時に選択する複数の走査電極毎にグループ分けし、グループ単位で順次選択する電気光学装置において、

前記走査電極に走査電圧を印加する走査電極側駆動回路と、前記信号電極に信号電圧を印加する信号電極側駆動回路とを備え、

前記走査電圧の電圧振幅と前記信号電圧の電圧振幅を同一とすることを特徴とする電気光学装置。

(15) 請求項14において、前記走査電極に印加する走査電圧は、非選択電圧と、前記非選択電圧を基準として正側に位置する第1選択電圧と負側に位置する第2選択電圧とからなり、前記信号電極に印加する最高及び最低の信号電圧を前記選択電圧と共にすることを特徴とする電気光学装置。

(16) 請求項14乃至15のいずれかにおいて、前記電気光学装置は液晶表示装置であって、(液晶に印加する実効電圧のオン電圧／オフ電圧) \geq (液晶の飽和電圧／しきい電圧)となるような特性の液晶を、前記液晶表示学装置の液晶として用いることを特徴とする電気光学装置。

(17) 請求項15において、前記走査電圧と前記信号電圧を生成する電源回路は、前記非選択電圧と前記第2選択電圧を昇圧して前記第1選択電圧を生成する昇圧回路と、前記第2選択電圧と前記非選択電圧の中間に位置する前記信号電圧を生成する第1降圧回路と、前記非選択電圧と前記第2選択電圧の中間に位置する前記信号電圧を生成する第2降圧回路とを有することを特徴とする電気光学装置。

(18) 請求項14乃至17のいずれかにおいて、前記走査電極に選択電圧を印加する走査電極側駆動回路と、前記信号電極に信号電圧を印加する信号電極側駆動回路と、前記選択電圧及び前記信号電圧を生成する電源回路のうち、少なくとも2つを1チップの駆動回路IC内に集積化することを特徴とする電気光学装置。

(19) 請求項14乃至18のいずれかにおいて、前記走査電極と前記信号電極は、多重マトリクス構成を成すように交差配置されることを特徴とする電気光学装置。

(20) 請求項18又は19において、前記走査電極が形成された基板と前記信号電極が形成された基板とを対向配置し、前記走査電極に選択電圧を印加する走査電極側駆動回路及び前記信号電極に信号電圧を印加する信号電極側駆動回路を集積した1チップの駆動回路ICを前記2つの基板の一方の基板上に搭載し、当

該一方の基板と他方の基板とを上下導通材により接続してなることを特徴とする電気光学装置。

(21) 複数の走査電極と複数の信号電極が互いに交差配置されてなり、該走査電極を同時に選択する複数の走査電極毎にグループ分けし、グループ単位で順次選択する電気光学装置の駆動回路において、

前記走査電極に走査電圧を印加する走査電極側駆動回路と、前記信号電極に信号電圧を印加する信号電極側駆動回路とを備え、前記走査電圧の電圧振幅と前記信号電圧の電圧振幅を同一とし、

前記走査電極側駆動回路及び前記信号電極側駆動回路とを1チップICに集積化して構成することを特徴とする電気光学装置の駆動回路。

(22) 一対の第1及び第2基板と、

画像表示領域における前記第1基板上に設けられ、複数の画素電極部を有する複数の信号電極手段と、

前記画像表示領域における前記第2基板上に設けられ、前記信号電極手段の延設方向に隣接する複数個の前記画素電極部と各々交差するように配置された複数の走査電極手段と、

前記第1または第2基板の一方の、前記画像表示領域の周囲にある額縁領域内に位置する所定個所に接続され、前記信号電極手段及び前記走査電極手段を駆動するための1チップ構造の駆動回路と、

前記額縁領域における前記第1または第2基板の一方の基板上に配線され、前記複数の信号電極手段の一端各々と前記駆動回路とを接続する複数の第1引き回し配線と、

前記額縁領域における前記第1及び第2基板間に設けられ、前記複数の走査電極手段の前記額縁領域内に延設された端部に各々接続された複数の上下導通手段と、

前記額縁領域における前記第1または第2基板の一方の基板上に配線され、前記複数の上下導通手段と前記駆動回路とを接続する複数の第2引き回し配線とを備えたことを特徴とする電気光学装置。

(23) 請求項22において、前記複数の走査電極手段は、前記画像表示領域の両側からその内部に向けて交互に櫛歯状に配線されていることを特徴とする電気光学装置。

(24) 請求項22又は23において、前記画像表示領域は、前記走査電極手段に沿った方向よりも前記信号電極手段に沿った方向に長く、前記画像表示領域では、前記信号電極手段に沿った方向の画素数が前記走査電極手段に沿った方向の画素数よりも多いように前記信号電極手段及び前記走査電極手段が設けられていることを特徴とする電気光学装置。

(25) 請求項22乃至24のいずれかにおいて、前記上下導通手段は、前記第1及び第2基板間に配置された上下導通材と、前記第1または第2基板の一方の基板上に設けられ、前記上下導通材と接触すると共に前記第2引き回し配線の一端に接続された上下導通端子とを含むことを特徴とする電気光学装置。

(26) 請求項22乃至25のいずれかにおいて、前記信号電極手段は、前記画素電極部と、前記画素電極部に接続する信号配線部と、前記画素電極部と前記信号電極部との間に接続される二端子型非線形素子とを含むことを特徴とする電気光学装置。

(27) 請求項22乃至26のいずれかにおいて、前記駆動回路は、前記第1基板上に搭載されていることを特徴とする電気光学装置。

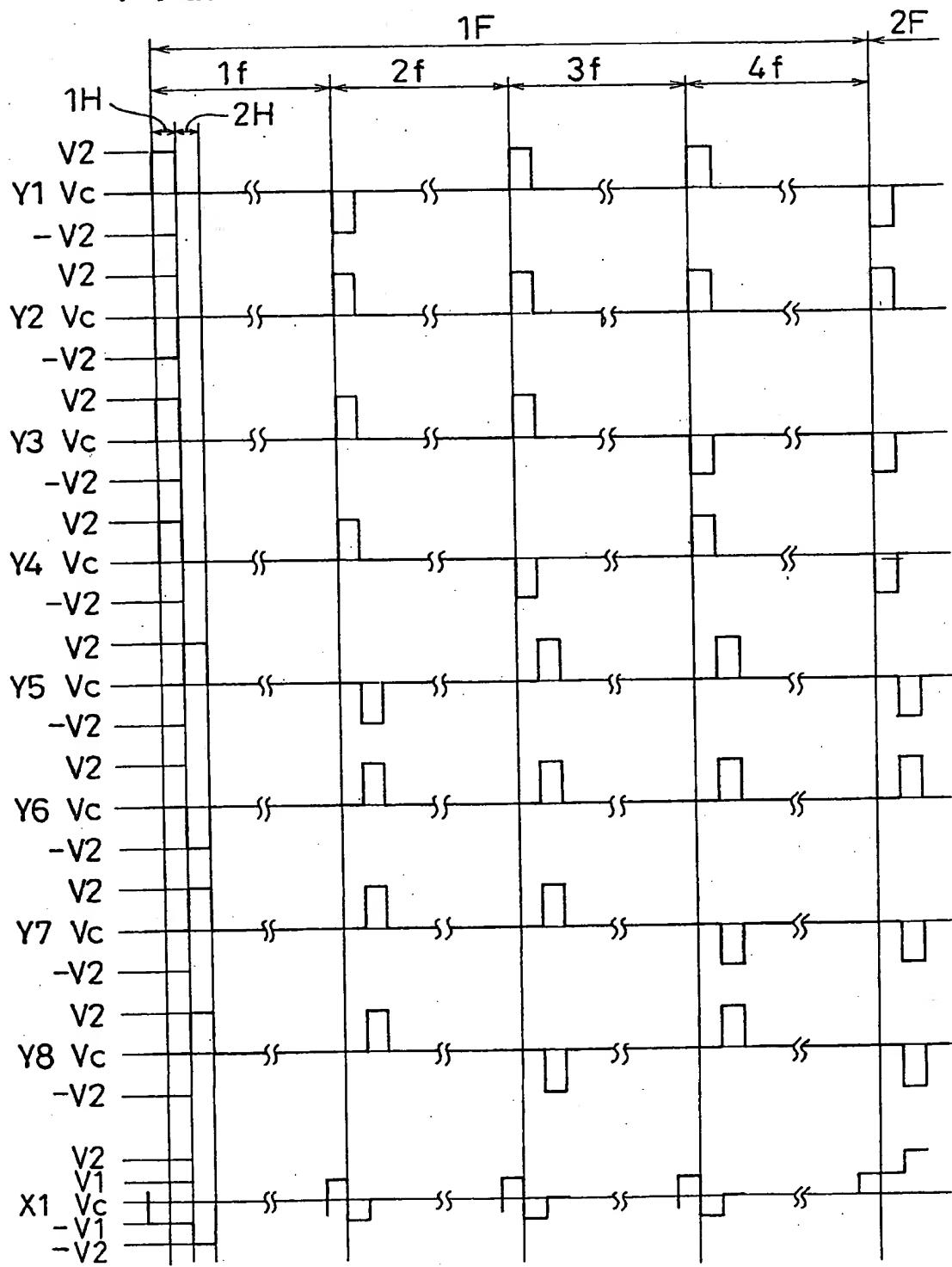
(28) 請求項22乃至27のいずれかにおいて、前記第1または第2基板の一方の基板上の前記所定個所には前記第1及び第2引き回し配線に接続された入力端子が設けられ、前記駆動回路は前記入力端子に所定の接続手段を介して接続されていることを特徴とする電気光学装置。

(29) 請求項22乃至28のいずれかにおいて、前記信号電極手段と前記走査電極手段とを入れ替えた構成を有することを特徴とする電気光学装置。

(30) 請求項14乃至29のいずれかに記載の電気光学装置を表示装置として用いたことを特徴とする電子機器。

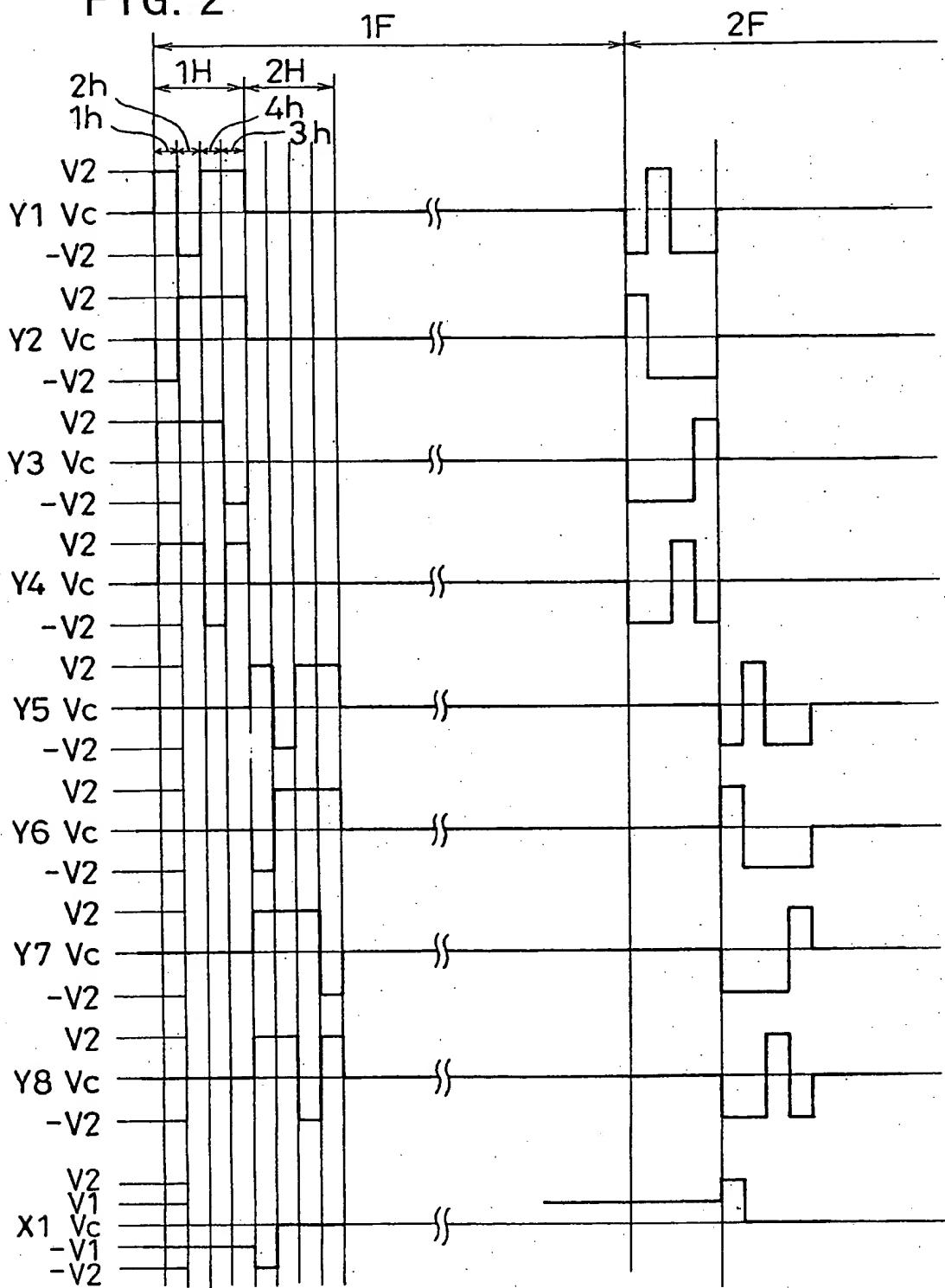
1/22

FIG. 1



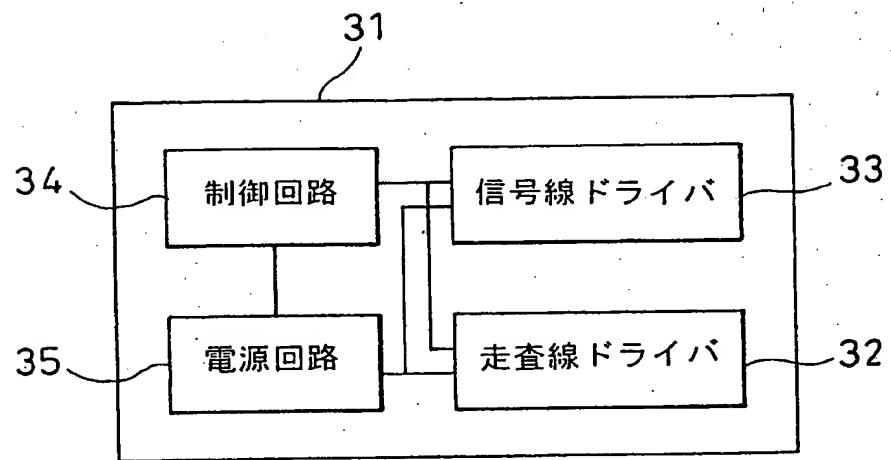
2/22

FIG. 2



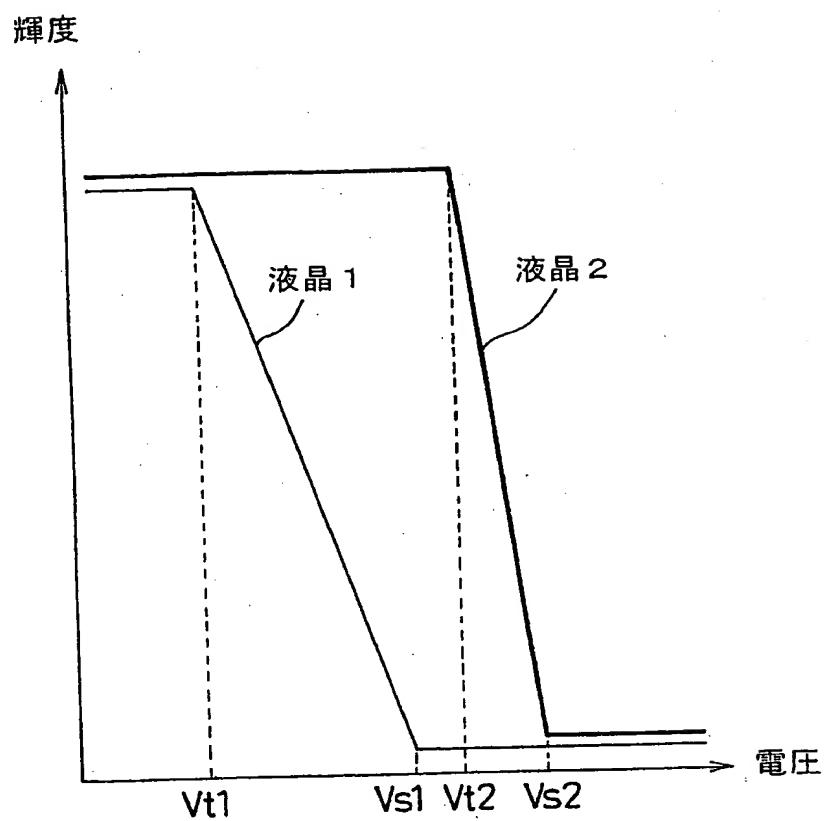
3/22

FIG. 3



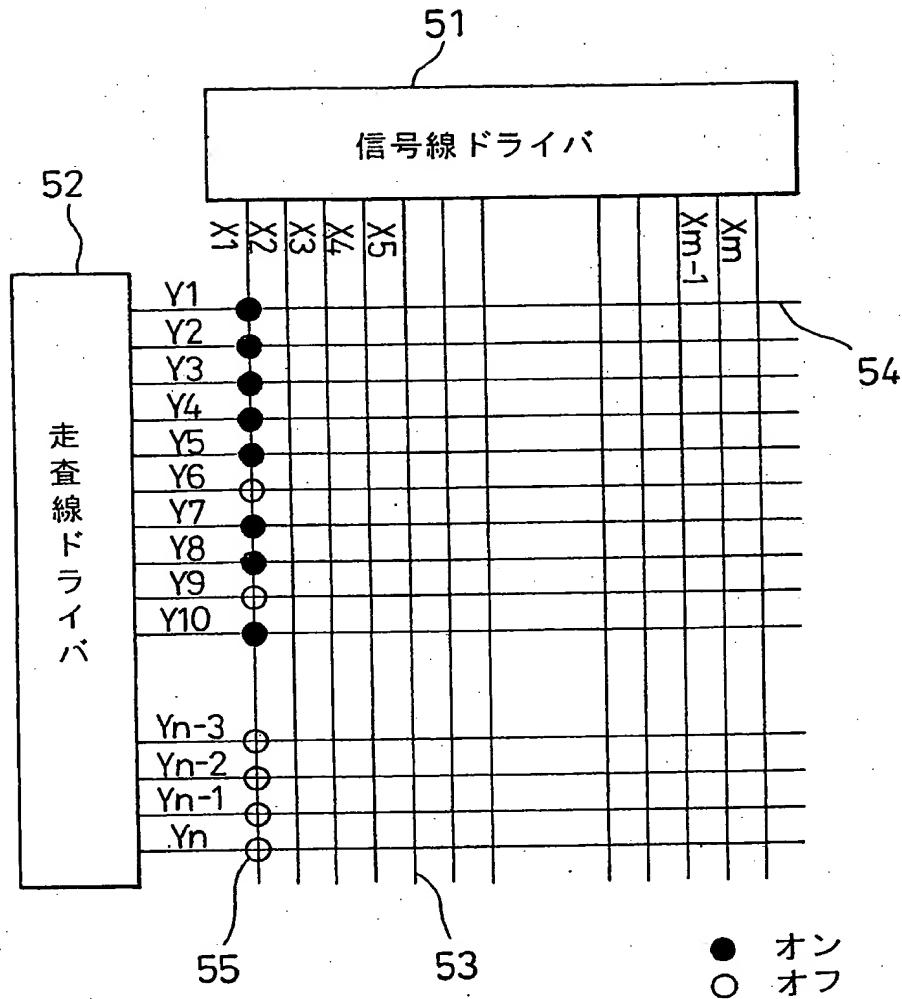
4/22

FIG. 4



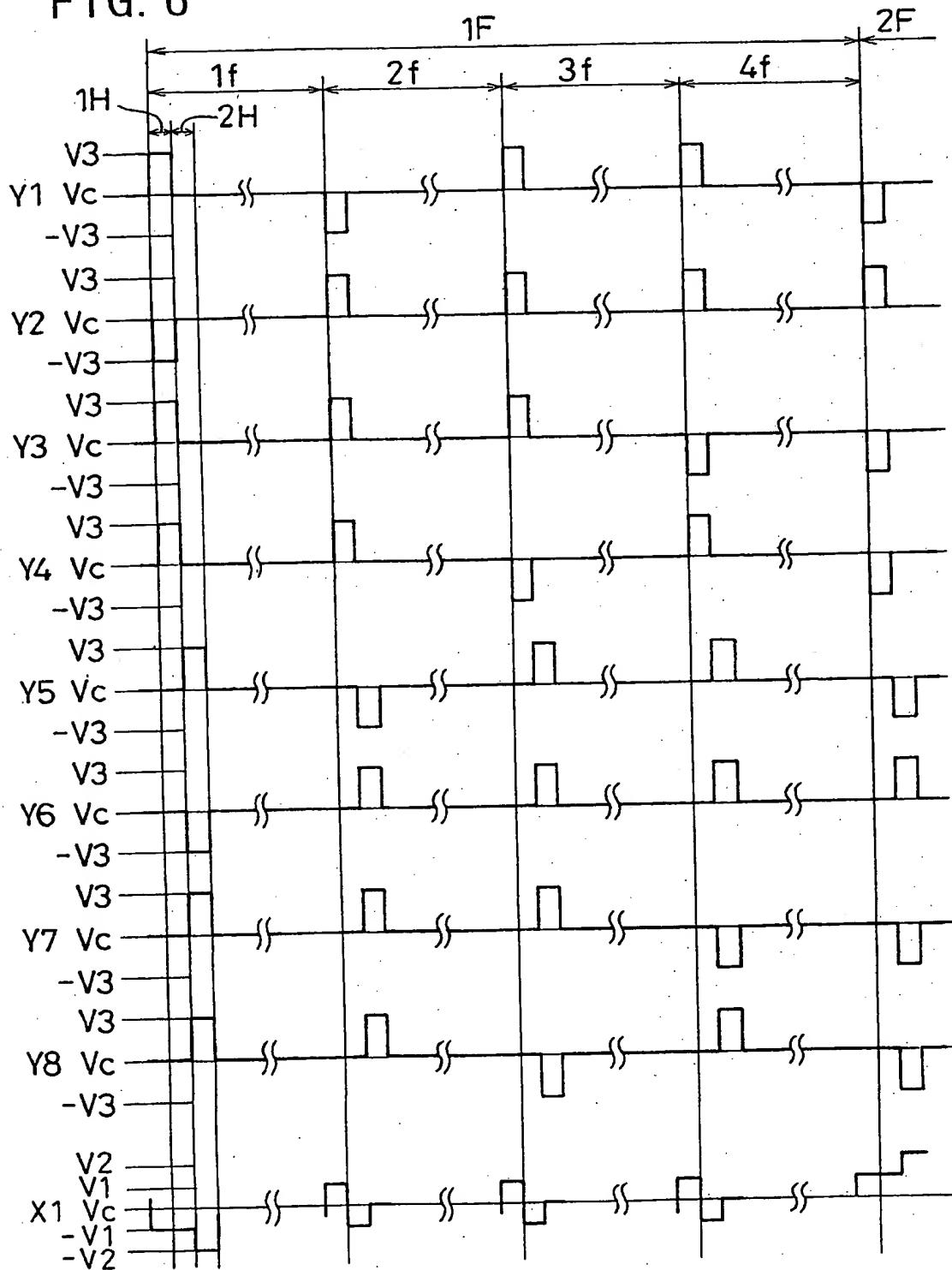
5/22

FIG. 5



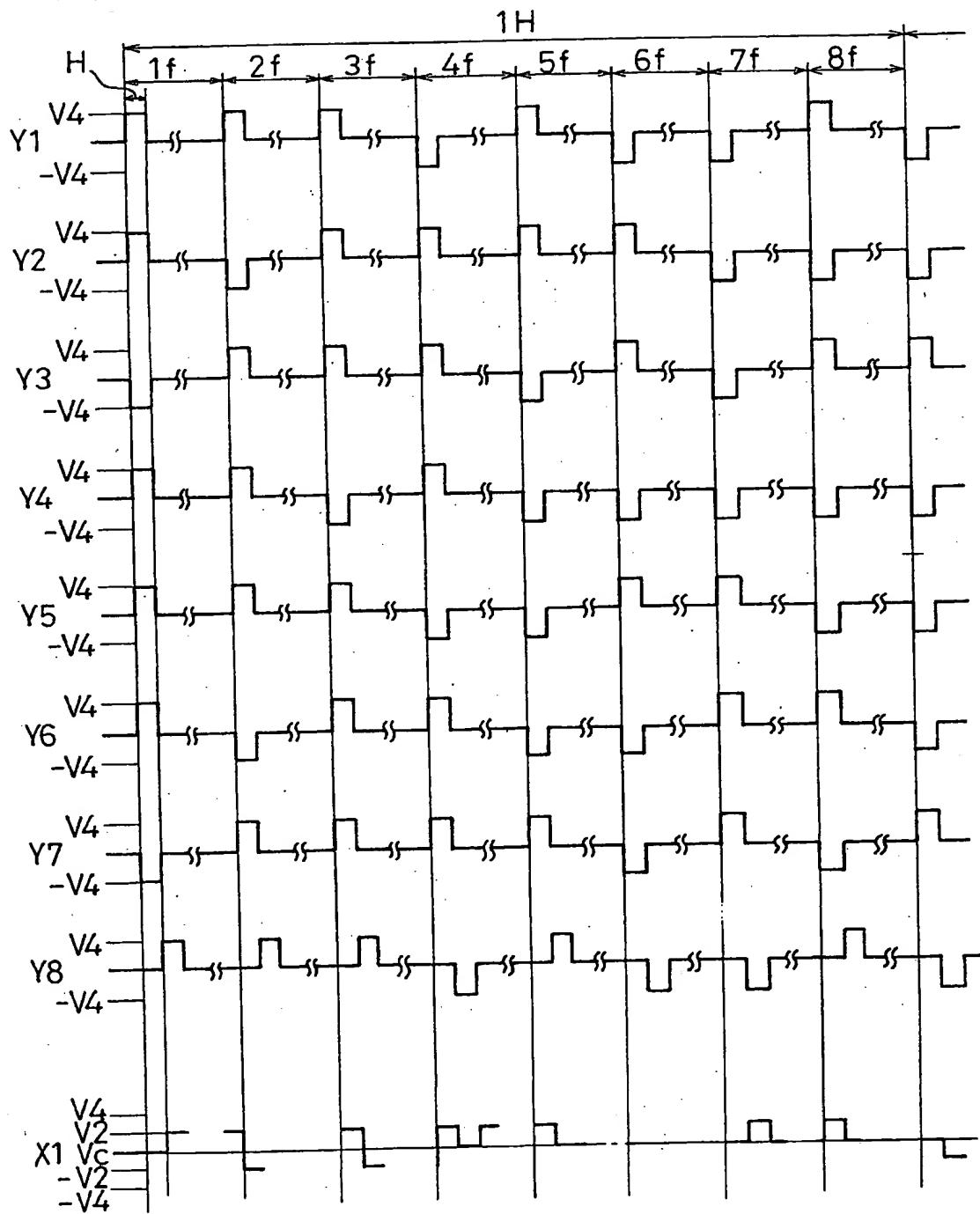
6/22

FIG. 6



7/22

FIG. 7



8/22

FIG. 8

- V_4 (V_e)
- — V_3
- V_2 (V_d)
- — V_1
- 0 (V_c)
- — $-V_1$
- $-V_2$ (V_b)
- — $-V_3$
- $-V_4$ (V_a)

9/22

FIG. 9A

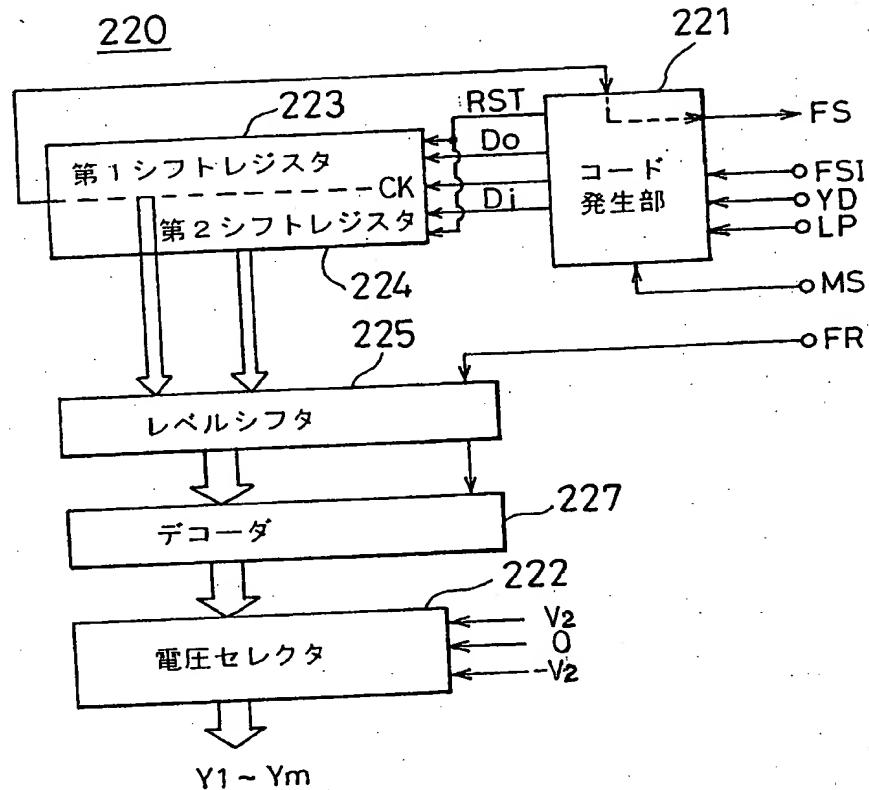
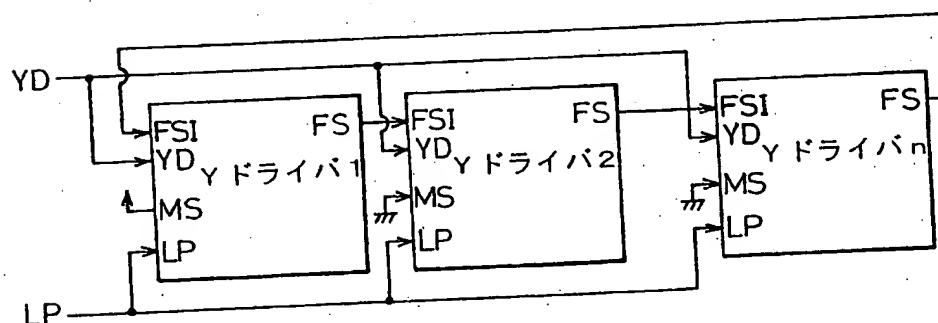
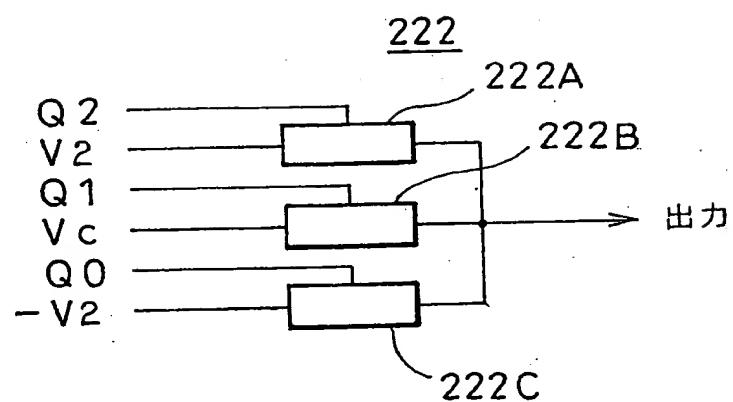


FIG. 9B



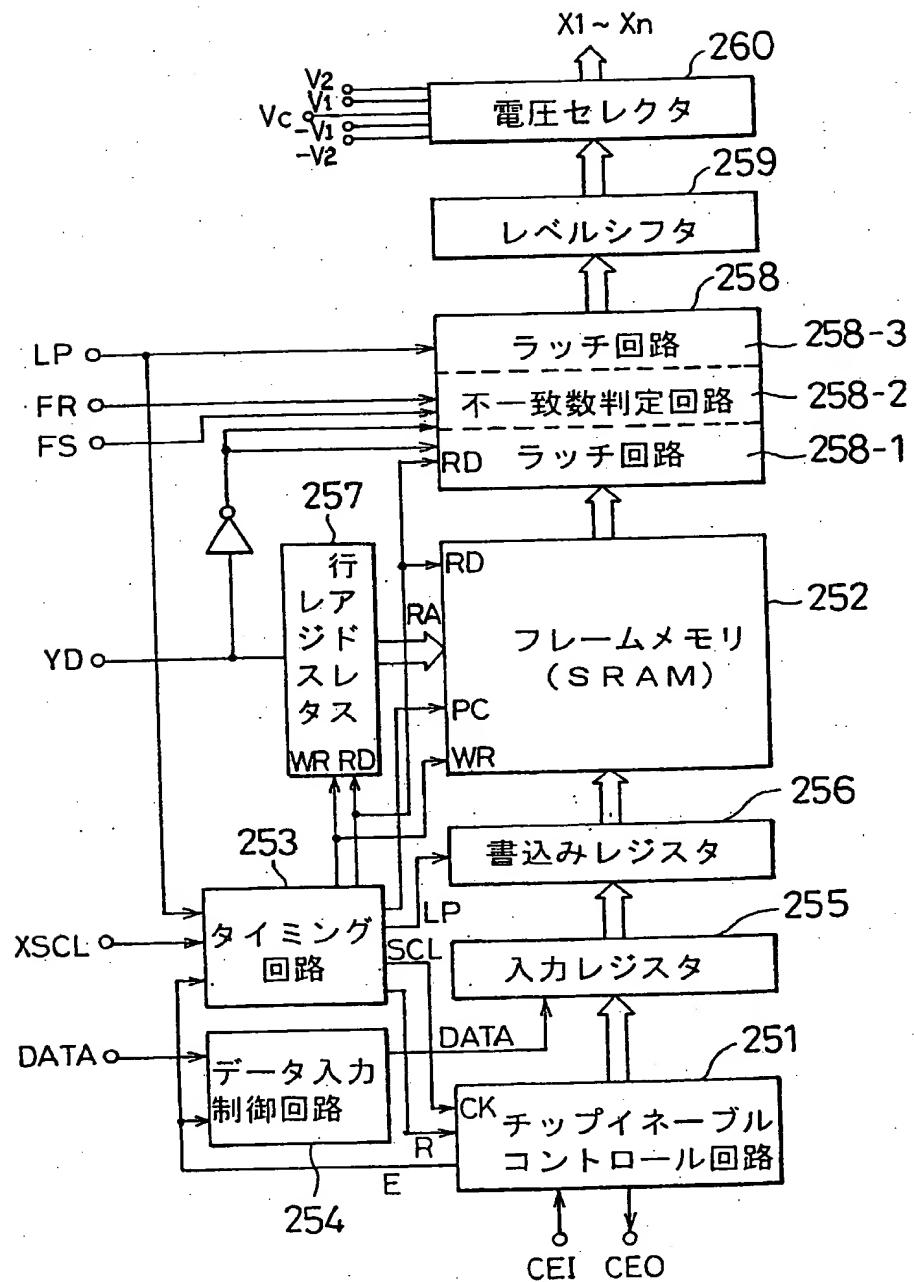
10 / 22

FIG. 10



11/22

FIG. 11



12/22

FIG. 12

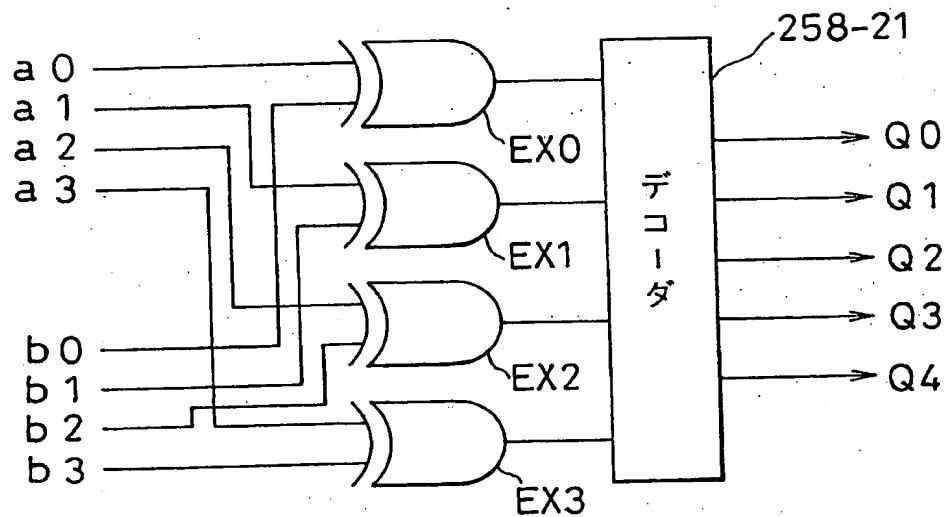
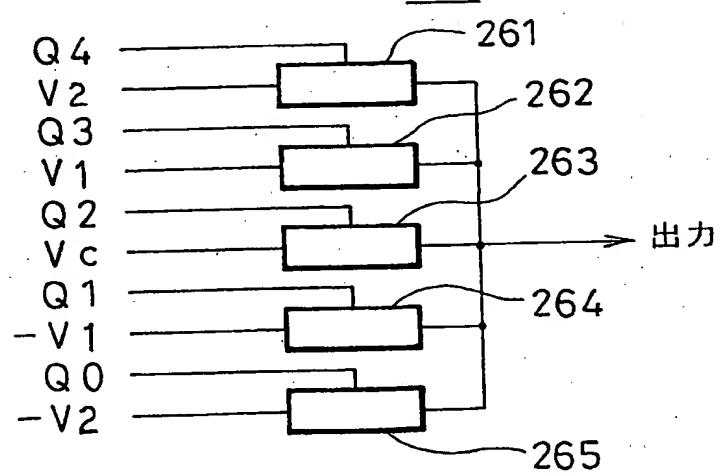
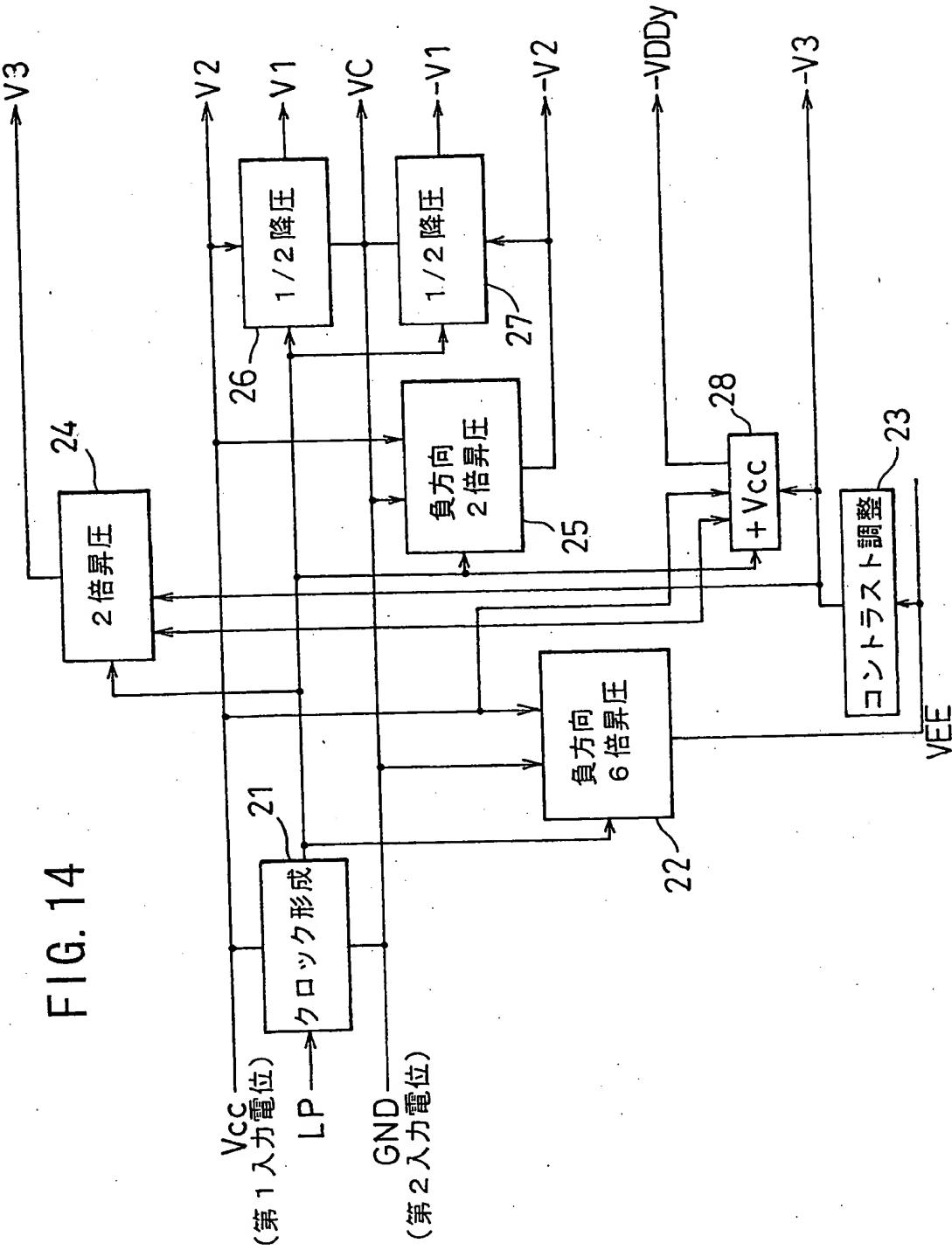
258-2

FIG. 13

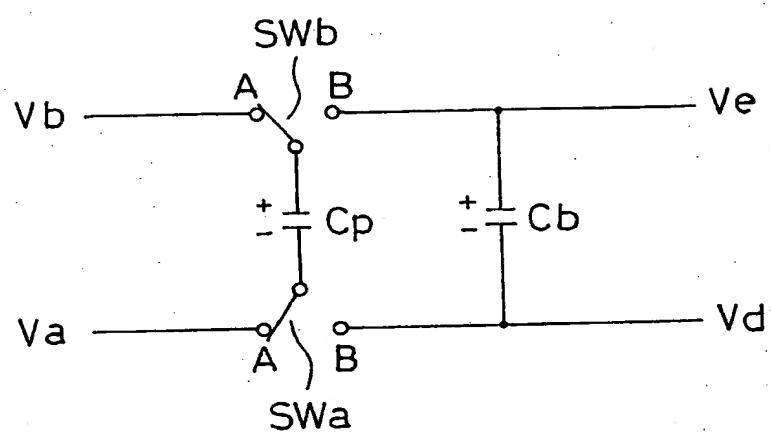
260

13/22



14/22

FIG. 15



15/22

FIG. 16

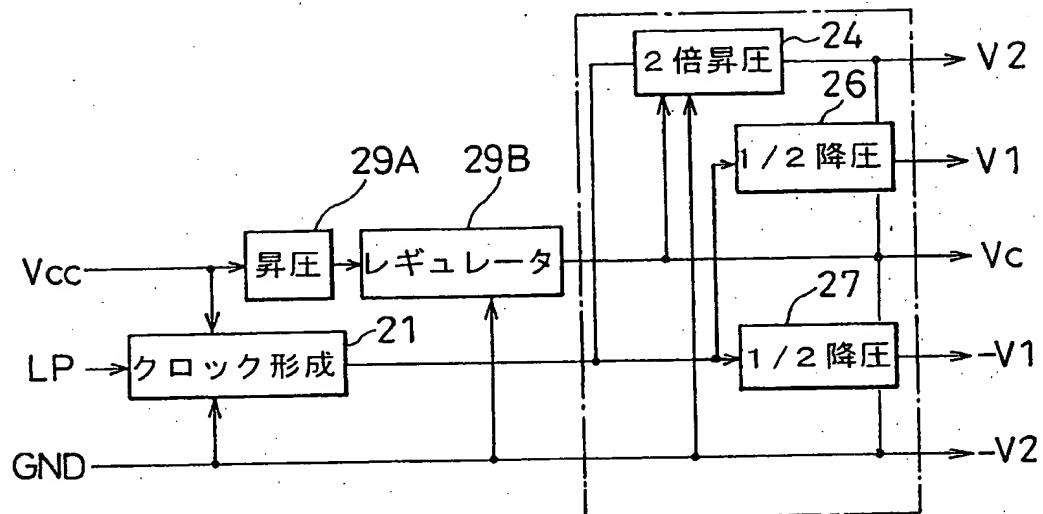
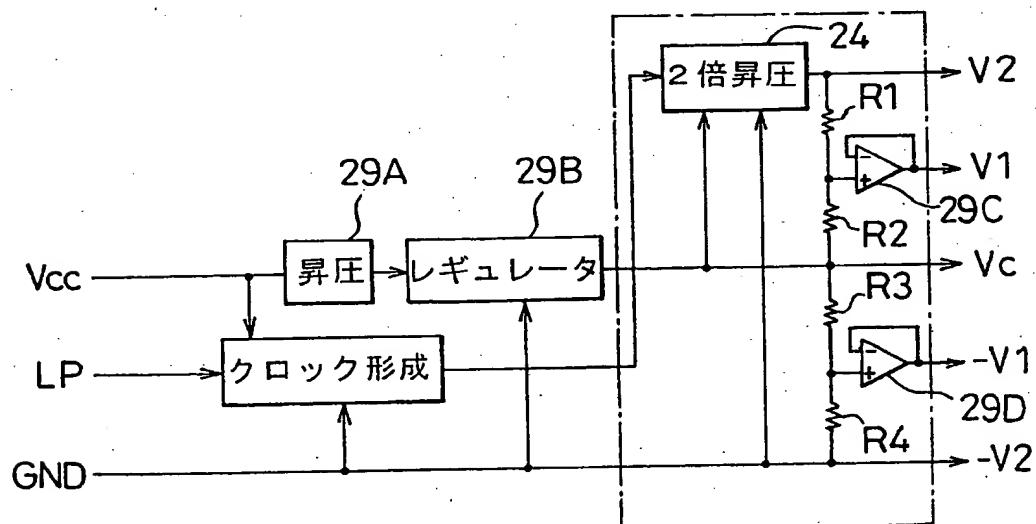
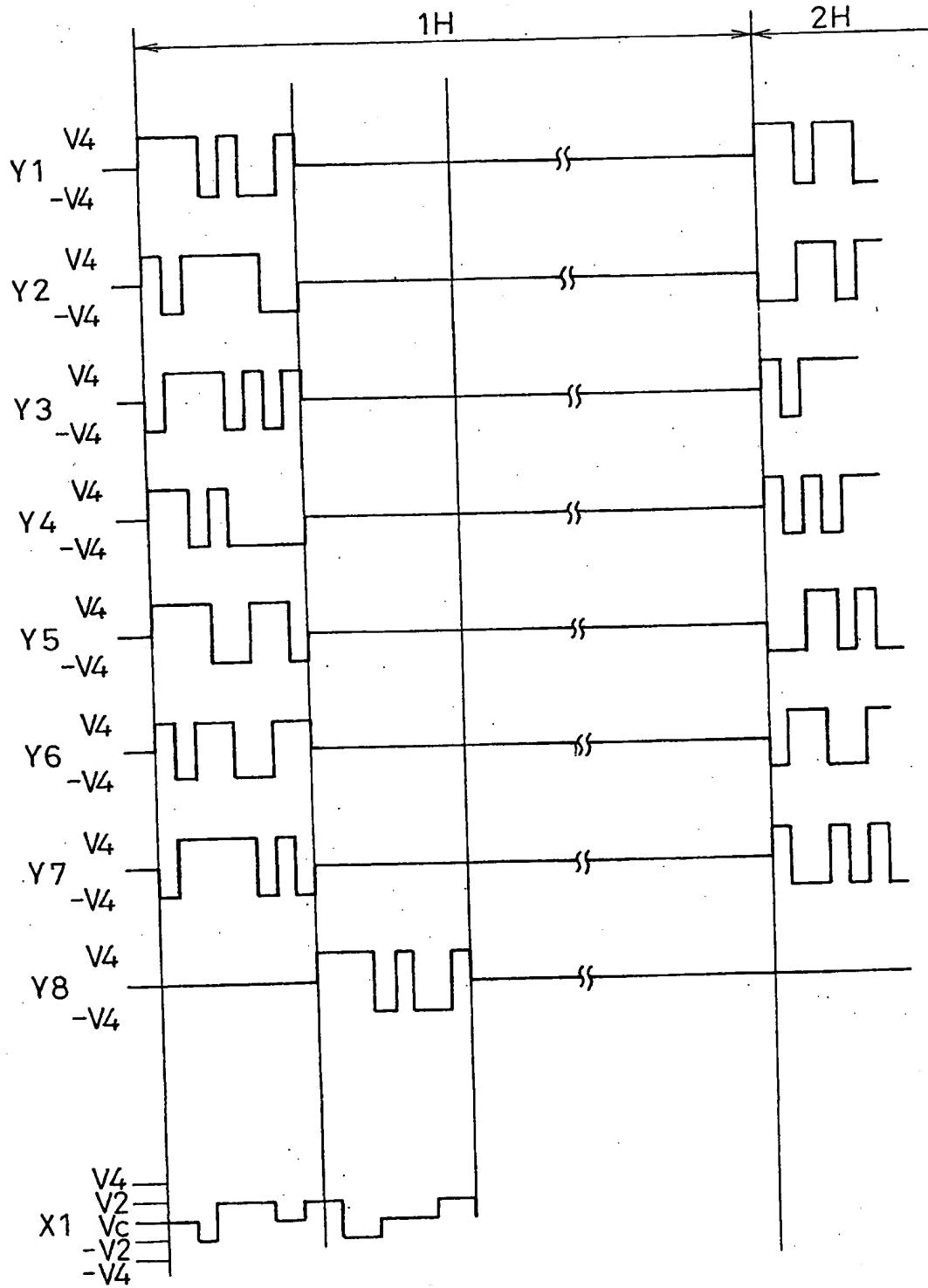


FIG. 17



16 / 22

FIG. 18



17/22

FIG. 19

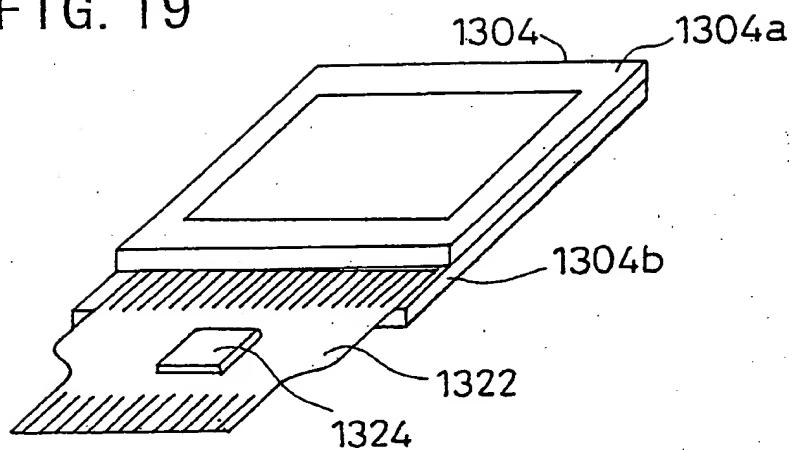


FIG. 20A

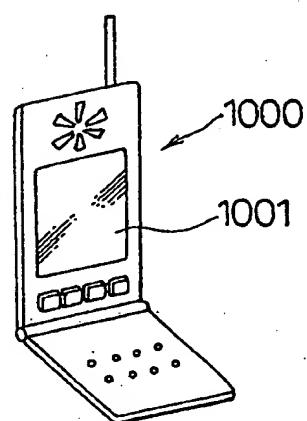


FIG. 20B

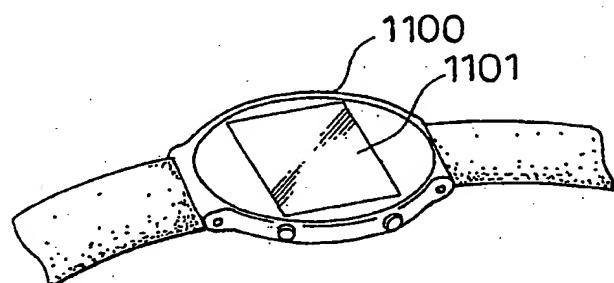
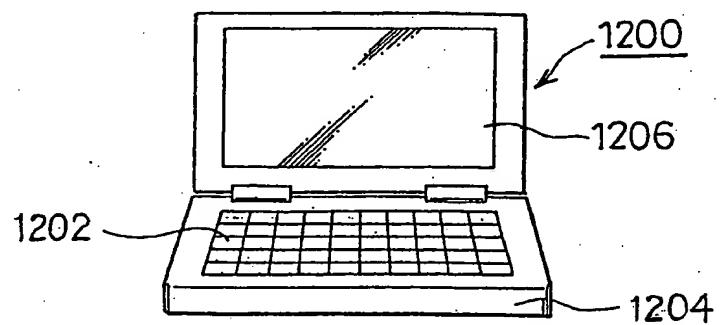
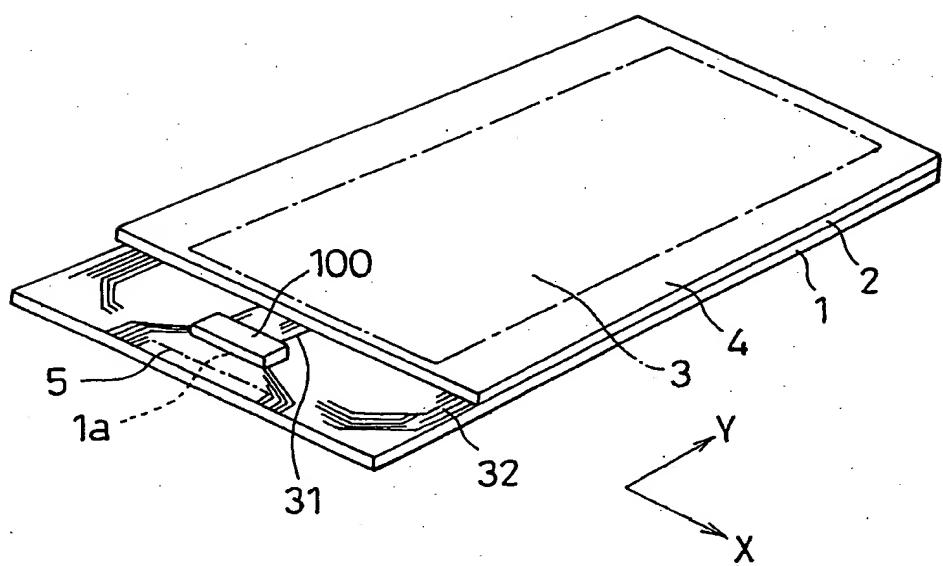


FIG. 20C



18/22

FIG. 21



19 / 22

FIG. 22

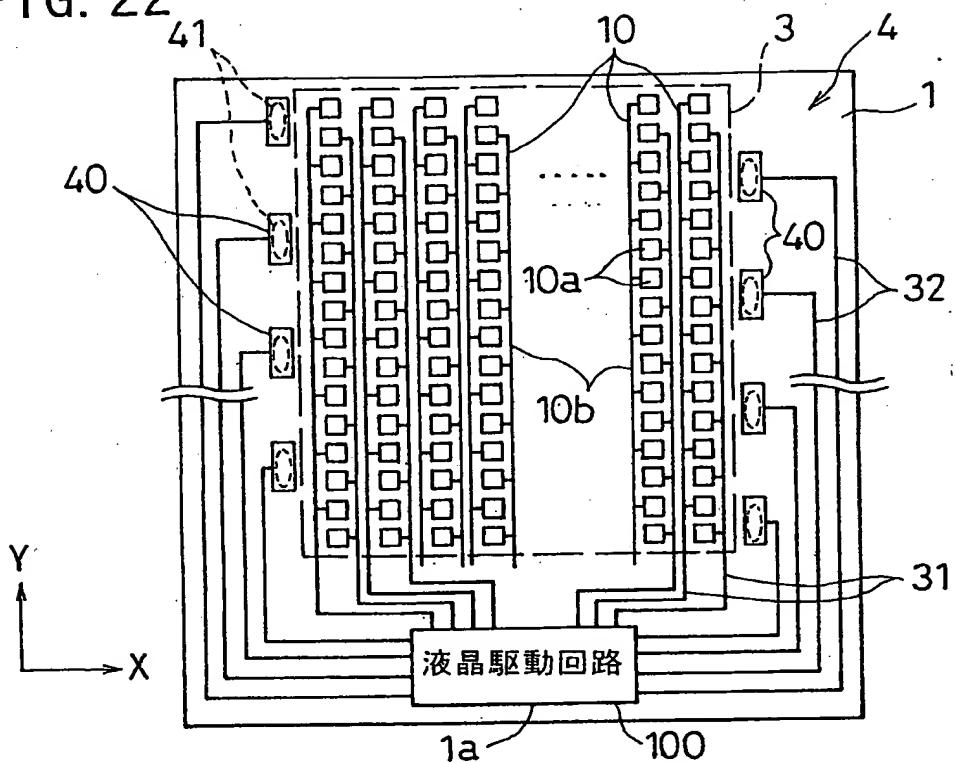
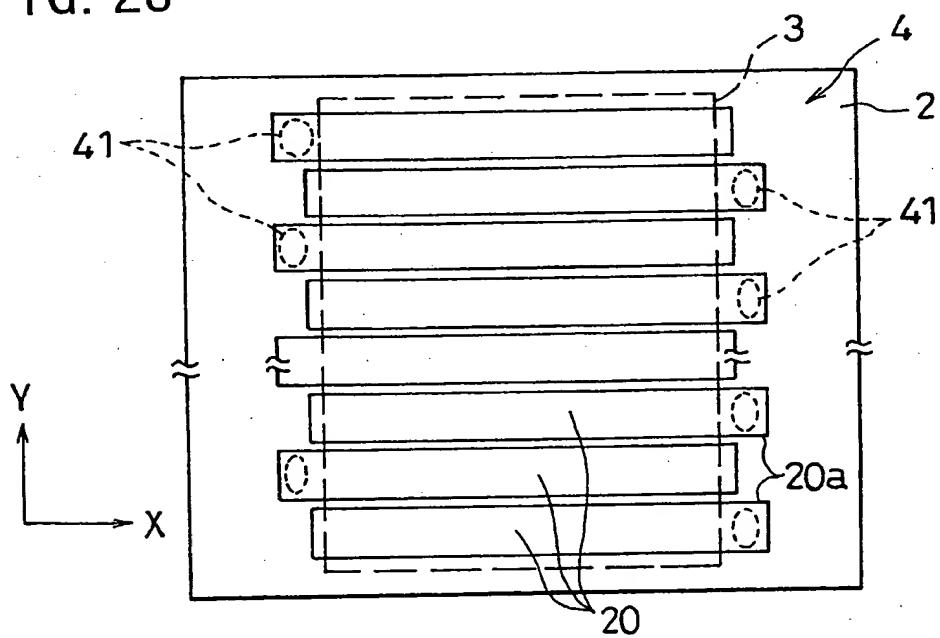


FIG. 23



20 / 22

FIG. 24A

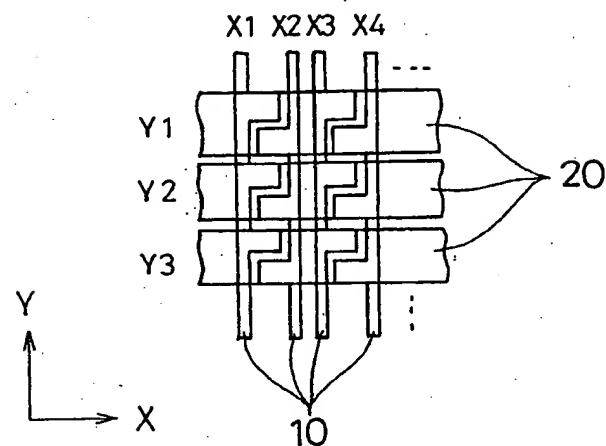
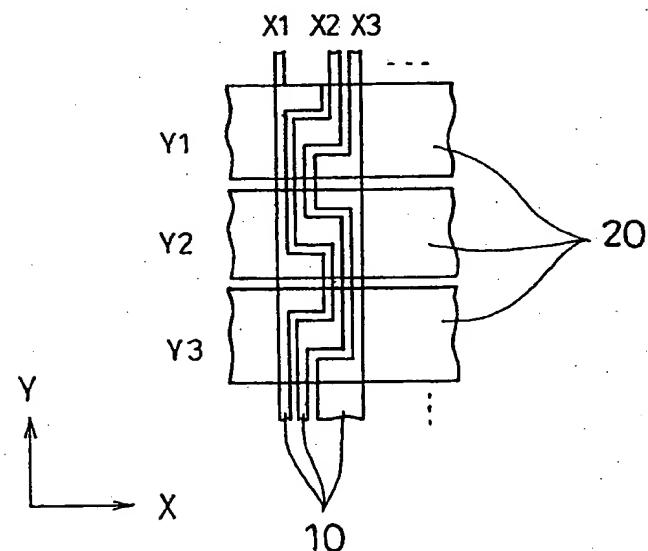
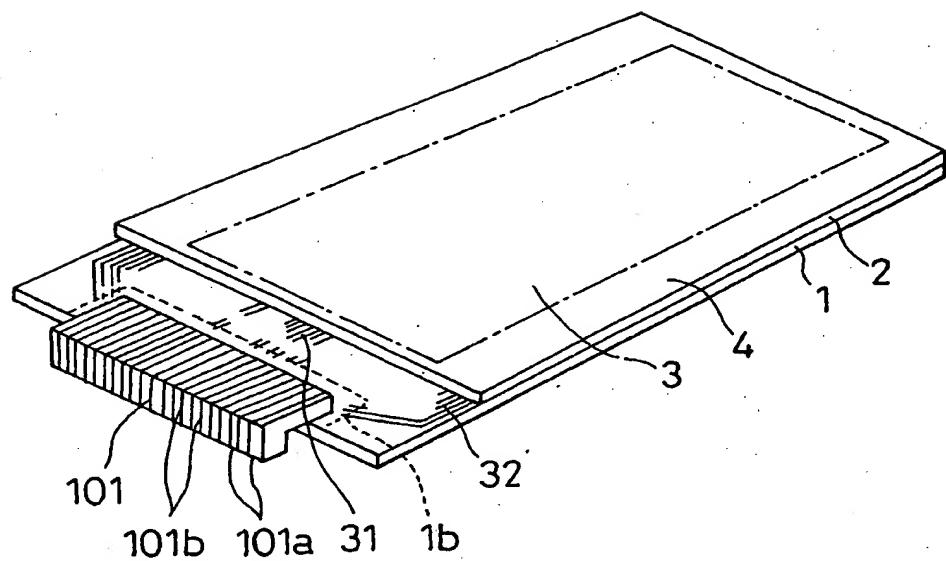


FIG. 24B



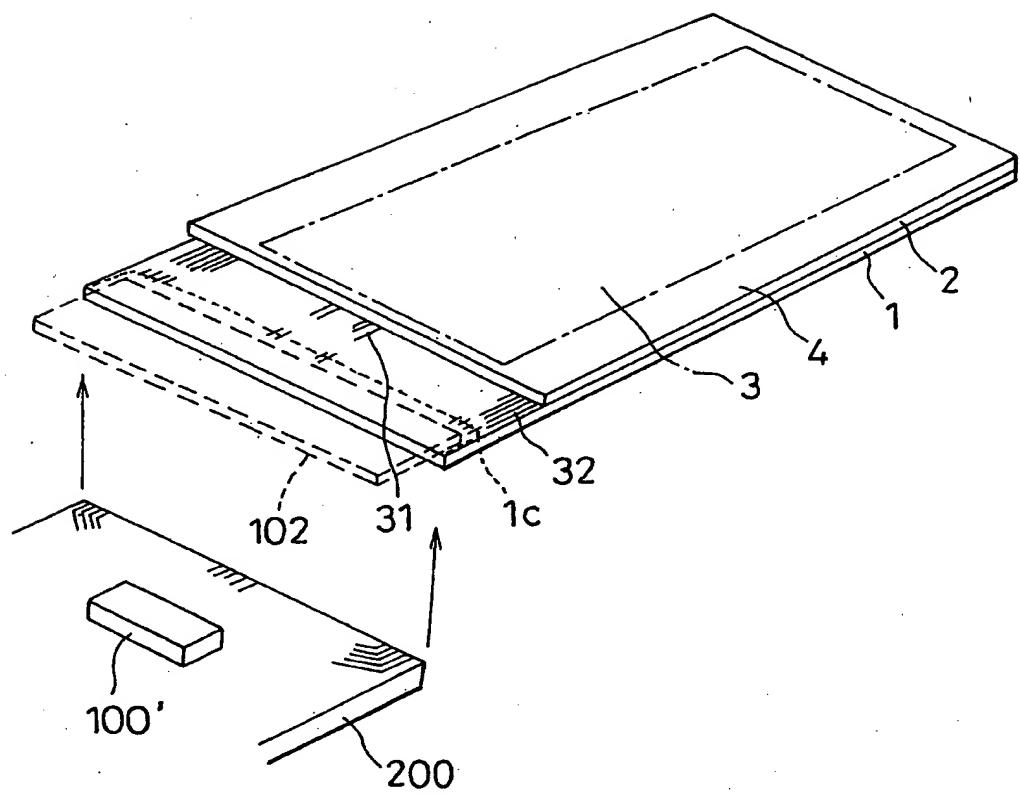
21/22

FIG. 25



22/22

FIG. 26



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP99/00806

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁶ G02F1/133, G09G3/36

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁶ G02F1/133, G02F1/1345, G09G3/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-1998
Kokai Jitsuyo Shinan Koho 1971-1998 Jitsuyo Shinan Toroku Koho 1996-1998

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 7-72454, A (Seiko Instruments Inc.), 17 March, 1995 (17. 03. 95), Full text (Family: none)	1-3, 7-11, 14-16 4-6, 12-13, 17-21
Y	WO, 96/21880, A1 (Seiko Epson Corp.), 18 July, 1996 (18. 07. 96), Full text & EP, 750208, A1	4, 17
Y	JP, 8-115061, A (Seiko Instruments Inc.), 7 May, 1996 (07. 05. 96), Par. No. [0012] ; Fig. 3 (Family: none)	5-6, 18, 21-30
Y	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 1-97722 (Laid-open No. 3-37422) (Citizen Watch Co., Ltd.), 11 April, 1991 (11. 04. 91), Full text (Family: none)	13, 20, 22-30

Further documents are listed in the continuation of Box C. See patent family annex.

"A"	Special categories of cited documents: document defining the general state of the art which is not considered to be of particular relevance	"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E"	earlier document but published on or after the international filing date	"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O"	document referring to an oral disclosure, use, exhibition or other means	"&"	document member of the same patent family
"P"	document published prior to the international filing date but later than the priority date claimed		

Date of the actual completion of the international search 13 May, 1999 (13. 05. 99)	Date of mailing of the international search report 25 May, 1999 (25. 05. 99)
--	---

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP99/00806

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 60-67926, A (Seiko Epson Corp.), 18 April, 1985 (18. 04. 85), Full text (Family: none)	12, 19, 23, 29
Y	JP, 2-81027, A (NEC Corp.), 22 March, 1990 (22. 03. 90), Full text (Family: none)	12, 19, 23, 29

A. 発明の属する分野の分類(国際特許分類(IPC))

Int. Cl. G02F 1/133, G09G 3/36

B. 調査を行った分野

調査を行った最小限資料(国際特許分類(IPC))

Int. Cl. G02F 1/133, G02F 1/1345, G09G 3/36

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1926-1996年
日本国公開実用新案公報	1971-1998年
日本国登録実用新案公報	1994-1998年
日本国実用新案登録公報	1996-1998年

国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P, 7-72454, A (セイコー電子工業株式会社) 17.3月.1995 (17.03.95) 全文 (ファミリーなし)	1-3, 7-11, 14-16 4-6, 12-13, 17-21
Y	WO, 96/21880, A1 (セイコーエプソン株式会社) 18.7月.1996 (18.07.96) 全文 & EP, 750208, A1	4, 17
Y	J P, 8-115061, A (セイコー電子工業株式会社) 7.5月.1996 (07.05.96) 第【0012】段落, 図3 (ファミリーなし)	5-6, 18, 21-30

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」同一パテントファミリー文献

国際調査を完了した日 13.05.99	国際調査報告の発送日 25.05.99
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官(権限のある職員) 官本 昭彦 電話番号 03-3581-1101 内線 3294 2X 9226 印

C (続き) 関連すると認められる文献		関連する請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
Y	日本国実用新案登録出願1-97722号 (日本国実用新案登録出願公開3-37422号) の願書に添付した明細書及び図面の内容を撮影したマイクロフィルム (シチズン時計株式会社) 11. 4月. 1991 (11. 04. 91) 全文 (ファミリーなし)	13, 20, 22-30
Y	J P, 60-67926, A (セイコーホールディングス株式会社) 18. 4月. 1985 (18. 04. 85) 全文 (ファミリーなし)	12, 19, 23, 29
Y	J P, 2-81027, A (日本電気株式会社) 22. 3月. 1990 (22. 03. 90) 全文 (ファミリーなし)	12, 19, 23, 29